

Beschreibung

Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen, sowie Taktsignal-Synchronisationsverfahren

5

Die Erfindung betrifft eine Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen, insbesondere eine Vorrichtung zur Verwendung bei der Synchronisation eines intern in einem Speicherchips verwendeten Taktsignals mit einem extern in den Speicherchip eingegebenen Taktsignal, sowie ein Taktsignal-Synchronisationsverfahren.

10

Bei Halbleiter-Bauelementen, insbesondere bei Speicherbauelementen wie - z.B. auf CMOS-Technologie beruhenden - DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) werden - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten - sog. Taktsignale verwendet.

15

Bei herkömmlichen Halbleiter-Bauelementen wird dabei i.A. ein - auf einer Einzel-Leitung anliegendes - Einzel-Taktsignal eingesetzt (d.h. ein sog. „single ended“-Taktsignal).

20

Die Daten können dann z.B. jeweils bei der ansteigenden Taktflanke des Einzel-Taktsignals weitergeschaltet werden (oder alternativ z.B. jeweils bei der abfallenden Einzel-Taktsignal-Flanke).

25

Des weiteren sind im Stand der Technik bereits sog. DDR-Bauelemente, insbesondere DDR-DRAMs bekannt (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

30

Bei DDR-Bauelementen werden - statt eines einzelnen, auf einer Einzel-Leitung anliegenden Taktsignals („single ended“-Taktsignal) - zwei auf zwei getrennten Leitungen anliegende, differentielle, gegengleich-inverse Taktsignale verwendet.

35

Immer dann, wenn z.B. das erste Taktsignal der beiden Taktsignale von einem Zustand „logisch hoch“ (z.B. einem hohen Spannungspegel) auf einen Zustand „logisch niedrig“ (z.B. einen niedrigen Spannungspegel) wechselt, ändert das
5 zweite Taktsignal – im wesentlichen gleichzeitig – seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (z.B. von einem niedrigen auf einen hohen Spannungspegel).

10 Umgekehrt ändert immer dann, wenn das erste Taktsignal von einem Zustand „logisch niedrig“ (z.B. einem niedrigen Spannungspegel) auf einen Zustand „logisch hoch“ (z.B. einen hohen Spannungspegel) wechselt, das zweite Taktsignal (wiederum im wesentlichen gleichzeitig) seinen Zustand von
15 „logisch hoch“ auf „logisch niedrig“ (z.B. von einem hohen auf einen niedrigen Spannungspegel).

In DDR-Bauelementen werden die Daten i.A. sowohl bei der ansteigenden Flanke des ersten Taktsignals, als auch bei der
20 ansteigenden Flanke des zweiten Taktsignals (bzw. sowohl bei der abfallenden Flanke des ersten Taktsignals, als auch bei der abfallenden Flanke des zweiten Taktsignals) weitergeschaltet.

25 Damit erfolgt in einem DDR-Bauelement die Weiterschaltung der Daten häufiger bzw. schneller (insbesondere doppelt so häufig, bzw. doppelt so schnell), wie bei entsprechenden, herkömmlichen Bauelementen mit Einzel- bzw. „single ended“ – Taktsignal – d.h. die Datenrate ist höher, insbesondere
30 doppelt so hoch, wie bei entsprechenden, herkömmlichen Bauelementen.

Das – intern – im Bauelement zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten verwendete
35 Taktsignal („DQS“- bzw. „data strobe“-Signal) (bzw. – bei der Verwendung differentieller, gegengleich-inverser Taktsignale – das interne Taktsignal DQS, und das zum Taktsignal DQS

gegengleich-inverse Taktsignal BDQS) muß synchron zu einem extern in das Bauelement eingegebenen Taktsignal („CLK“- bzw. „clock“-Signal) sein (bzw. synchron zu den extern in das Bauelement eingegebenen, differentiellen Taktsignalen CLK, BCLK).

Das oder die externen Taktsignale CLK, BCLK wird bzw. werden von einem entsprechenden, mit dem Bauelement verbundenen, externen Taktsignal-Geber erzeugt.

10

Zur Synchronisation des intern erzeugten Taktsignals DQS bzw. der intern erzeugten Taktsignale DQS, BDQS mit dem oder den externen Taktsignalen CLK, BCLK wird eine Taktsignal-Synchronisationseinrichtung, z.B. eine DLL-Schaltung (DLL = Delay-Locked-Loop) verwendet. Eine solche Schaltung ist z.B. aus der EP 964 517 bekannt.

15

Eine Taktsignal-Synchronisationseinrichtung kann z.B. eine erste Verzögerungseinrichtung aufweisen, in die das oder die externen Taktsignale CLK, BCLK eingegeben werden, und die das oder die eingegebenen Taktsignale CLK, BCLK - abhängig von einem von einer Phasenvergleichseinrichtung ausgegebenen Steuersignal - mit einer - durch das Steuersignal einstellbaren, variablen - Verzögerungszeit t_{var} beaufschlagt.

25

Das oder die von der ersten Verzögerungseinrichtung ausgegebenen Signal(e) kann bzw. können - intern - im Bauelement zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten verwendet werden (d.h. als - interne(s) - Taktsignal(e) DQS bzw. BDQS).

30

Das von der ersten Verzögerungseinrichtung ausgegebene Signal DQS wird einer zweiten Verzögerungseinrichtung zugeführt, die

das eingegebene Signal DQS mit einer - festen -
Verzögerungszeit t_{const} beaufschlagt, die in etwa der Summe
der durch den bzw. die Receiver („Receiver-Delay“), den
jeweiligen Datenpfad („data path delay“), und den bzw. die
5 Off-Chip-Driver („OCD-Delay“) verursachten Signal-
Verzögerungen entspricht.

Das von der zweiten Verzögerungseinrichtung ausgegebene
Signal (FB-Signal bzw. „Feedback-Signal“) wird der o.g.
10 Phasenvergleichseinrichtung zugeführt, und dort die
Phasenlage des FB-Signals mit derjenigen des - ebenfalls in
die Phasenvergleichseinrichtung eingegebenen - CLK-Signals
verglichen. Abhängig davon, ob die Phase des FB-Signal
derjenigen des CLK-Signals vorausseilt, oder hinterherläuft,
15 wird von der Phasenvergleichseinrichtung - als Steuersignal
für die o.g. erste Verzögerungseinrichtung - ein Inkrement-
Signal (INC-Signal), oder ein Dekrement-Signal (DEC-Signal)
ausgegeben, die dazu führen, dass die durch die erste
Signalverzögerungseinrichtung bewirkte Verzögerung t_{var} des
20 CLK-Signals - bei einem INC-Signal - erhöht, bzw. - bei einem
DEC-Signal - verringert wird, sodaß schließlich das CLK- und
das FB-Signal synchronisiert, d.h. die Taktsignal-
Synchronisationseinrichtung „eingerastet“ („locked“) ist.

25 Beispielsweise kann zunächst in einer ersten Phase (wenn die
positive Flanke des FB-Signals der positiven Flanke des CLK-
Signals (noch) hinterherläuft), von der
Phasenvergleichseinrichtung ein INC-Signal erzeugt werden,
das dazu führt, dass die von der ersten
30 Signalverzögerungseinrichtung bewirkte Verzögerung t_{var} -
relativ stark - erhöht, bzw. die Phasengeschwindigkeit des
FB-Signals gegenüber der Phasengeschwindigkeit des CLK-

Signals - relativ stark - vergrößert wird.
(„Grobeinstellung“).

Wenn die positive Flanke des FB-Signals die positive Flanke
5 des CLK-Signals „überholt“, kann von der
Phasenvergleichseinrichtung dann ein DEC-Signal erzeugt
werden, das dazu führt, dass die von der ersten
Signalverzögerungseinrichtung bewirkte Verzögerung t_{var}
(wieder) verringert, bzw. die Phasengeschwindigkeit des FB-
10 Signals gegenüber der Phasengeschwindigkeit des CLK-Signals
verkleinert wird (und zwar - zur „Feineinstellung“ - nur
jeweils relativ wenig).

Durch die zunächst starke, und dann relativ schwache Änderung
15 der von der ersten Signalverzögerungseinrichtung bewirkten
Verzögerungen t_{var} bzw. Phasenverschiebungen kann - in der
Regel - eine relativ schnelle Synchronisation des CLK- und
FB-Signals erreicht, d.h. die Taktsignal-
Synchronisationseinrichtung relativ schnell „eingerastet“
20 werden.

Allerdings wird - aufgrund der in der DLL-Schaltung
vorkommenden Signal-Verzögerungen - erste einige Takte (z.B.
4 Takte), nachdem die positive Flanke des FB-Signals die
25 positive Flanke des CLK-Signals „überholt“ hat, die oben
beschriebene, durch das DEC-Signal bewirkte Verkleinerung der
FB-Signal-Phasengeschwindigkeit gegenüber der CLK-Signal-
Phasengeschwindigkeit bewirkt.

30 Dies kann dazu führen, dass zwischenzeitlich das FB-Signal
dem CLK-Signal so weit vorausseilt (insbesondere z.B. die
positive Flanke des FB-Signals die negative Flanke des CLK-
Signals „überholt“ hat), dass von der

Phasenvergleichseinrichtung erneut ein INC-Signal ausgegeben wird, etc., etc., sodaß das CLK- und das FB-Signal nicht synchronisiert, d.h. die Taktsignal-Synchronisationseinrichtung nicht „eingerastet“ werden kann.

5

Die Aufgabe der Erfindung besteht daher darin, eine neuartige Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen, sowie ein neuartiges Taktsignal-Synchronisationsverfahren zur Verfügung zu stellen, insbesondere eine Vorrichtung und ein Verfahren, mit denen die beschriebenen Nachteile bisheriger entsprechender Vorrichtungen bzw. Verfahren zumindest teilweise beseitigt werden können.

10

Die Erfindung erreicht dieses und andere Ziele durch den Gegenstand der Ansprüche 1, 7 und 8.

15

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

20

Gemäß einem Grundgedanken der Erfindung wird eine Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen (CLK) bereitgestellt, mit einer Verzögerungseinrichtung mit variabel steuerbarer Verzögerungszeit (t_{var}), in die ein Taktsignal (CLK) oder ein hieraus gewonnenes Signal eingegeben, mit der variabel steuerbaren Verzögerungszeit (t_{var}) beaufschlagt, und als verzögertes Taktsignal (DQS) ausgegeben wird,

25

d a d u r c h g e k e n n z e i c h n e t, daß eine Einrichtung vorgesehen ist zum Ermitteln, ob eine Taktflanke (A') des von der Verzögerungseinrichtung ausgegebenen verzögerten Taktsignals (DQS), oder eines

30

hieraus gewonnenen Signals (FB) innerhalb eines vorbestimmten Zeitfensters vor einer entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt.

5

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigen:

10 Fig. 1 eine schematische Darstellung einer Taktsignal-Synchronisationseinrichtung gemäß einem Ausführungsbeispiel der Erfindung;

Fig. 2 eine schematische Detaildarstellung einer bei
15 der Taktsignal-Synchronisationseinrichtung gemäß Figur 1 zur Steuerung des Taktsignal-Synchronisations-Prozesses verwendeten Steuer-Vorrichtung;

Fig. 3 Zeitablaufdiagramme der in die in Figur 2
20 gezeigte Steuer-Vorrichtung eingegebenen FB- und CLK-Signale, und des von der Steuer-Vorrichtung ausgegebenen, zur Steuerung des Taktsignal-Synchronisations-Prozesses verwendeten Steuersignals (SLOW-Signals); und

25 Fig. 4 eine schematische Detaildarstellung der in der Steuer-Vorrichtung gemäß Figur 2 verwendeten Verzögerungseinrichtung.

30 In Figur 1 ist eine schematische Darstellung einer Taktsignal-Synchronisationseinrichtung 1 gemäß einem Ausführungsbeispiel der Erfindung gezeigt.

Diese weist - entsprechend ähnlich wie herkömmliche Taktsignal-Synchronisationseinrichtungen - eine erste Verzögerungseinrichtung 2, eine zweite Verzögerungseinrichtung 3, und eine Phasenvergleichseinrichtung 4 auf, sowie - anders als herkömmliche Taktsignal-Synchronisationseinrichtungen, und wie im folgenden noch genauer erläutert wird - eine speziell ausgestaltete, zur Steuerung des Taktsignal-Synchronisations-Prozesses verwendete Steuer-Vorrichtung 5.

Die Taktsignal-Synchronisationseinrichtung 1 kann z.B. auf einem Halbleiter-Bauelement vorgesehen sein, insbesondere einem Speicherbauelementen wie einem - z.B. auf CMOS-Technologie beruhenden - DRAM (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher), z.B. einem DDR-DRAM (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

Das entsprechende Halbleiter-Bauelement weist einen - externen - Anschluß auf (z.B. ein entsprechendes Pad bzw. einen entsprechenden Pin), an dem - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten im Halbleiter-Bauelement - von einem externen Taktsignal-Geber ein externes Taktsignal CLK angelegt wird.

Alternativ kann das Bauelement einen entsprechenden - weiteren - externen Anschluß (z.B. ein entsprechendes weiteres Pad bzw. einen entsprechenden weiteren Pin) aufweisen, an dem ein zum o.g. Taktsignal CLK inverses Taktsignal BCLK angelegt wird (d.h. es können sog. „differentielle“ Taktsignale CLK, BCLK verwendet werden).

Intern im Bauelement können die Daten z.B. jeweils bei der ansteigenden (oder alternativ z.B. jeweils bei der abfallenden) Taktflanke des o.g. Taktsignals CLK (bzw. - genauer - eines hieraus gewonnenen, internen DQS-Taktsignals) weitergeschaltet werden, bzw. - bei der Verwendung differentieller Taktsignale CLK und BCLK (bzw. - genauer - der hieraus gewonnenen, differentiellen, internen Taktsignale DQS und BDQS) - i.A. sowohl bei der ansteigenden Flanke des CLK- als auch der ansteigenden Flanke des BCLK-Taktsignals (bzw. sowohl der ansteigenden Flanke des DQS- als auch der ansteigenden Flanke des BDQS-Signals (bzw. bei jeweils den abfallenden Taktflanken der entsprechenden Signale)).

Wie in Figur 1 gezeigt ist, wird das - am entsprechenden Anschluß des Halbleiter-Bauelements anliegende - CLK-Signal über eine Leitung 10, und eine mit dieser verbundenen Leitung 11 der in der Taktsignal-Synchronisationseinrichtung 1 vorgesehenen ersten Verzögerungseinrichtung 2 zugeführt.

In der ersten Verzögerungseinrichtung 2 („delay chain“ bzw. „delay line“) wird das CLK-Signal - abhängig von einem von der Phasenvergleichseinrichtung 4 ausgegebenen Steuersignal INC bzw. DEC - mit einer - durch das Steuersignal einstellbaren, variablen - Verzögerungszeit t_{var} beaufschlagt.

Das von der ersten Verzögerungseinrichtung 2 an einer Leitung 6a, und einer mit dieser verbundenen Leitung 6b ausgegebene - gegenüber dem CLK-Signal um die o.g. variable Verzögerungszeit t_{var} verzögerte - Signal DQS (bzw. zusätzlich ein - hierzu inverses - Signal BDQS) kann (bzw. können) - intern - im Bauelement zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten verwendet werden (d.h. als - interne(s) - Taktsignal(e) DQS bzw. BDQS).

Das BDQS-Signal kann z.B. - durch invertieren - aus dem DQS-Signal erzeugt werden, oder kann z.B. separat erzeugt werden (z.B. aus dem BCLK-Signal, unter Verwendung einer der in
5 Figur 1 gezeigten Taktsignal-Synchronisationseinrichtung 1 entsprechenden Taktsignal-Synchronisationseinrichtung).

Wie aus Figur 1 weiter hervorgeht, wird das von der ersten Verzögerungseinrichtung 2 ausgegebene Signal DQS - über die
10 o.g. Leitung 6a, und eine mit dieser verbundene Leitung 6c - (zusätzlich auch) der o.g. zweiten Verzögerungseinrichtung 3 („clock tree delay mimic“) zugeführt, die das eingegebene Signal DQS mit einer - festen - Verzögerung t_{const} beuschlagt, die z.B. in etwa der Summe der durch den bzw.
15 die Receiver („Receiver-Delay“), den jeweiligen Datenpfad („data path delay“), und den bzw. die Off-Chip-Driver („OCD-Delay“) verursachten Signal-Verzögerungen entspricht.

Das von der zweiten Verzögerungseinrichtung 3 an einer
20 Leitung 7a ausgegebene - und gegenüber dem DQS-Signal um die o.g. feste Verzögerungszeit t_{const} verzögerte - Signal (FB-Signal bzw. „Feedback-Signal“) wird über eine - mit der Leitung 7a verbundene - Leitung 7b einem ersten Eingang der Phasenvergleichseinrichtung 4 zugeführt, sowie über eine -
25 ebenfalls mit der Leitung 7a verbundene - Leitung 21 (und wie im folgenden noch genauer erläutert wird) der Steuer-Vorrichtung 5 („Slow Mode Signal Generator“).

Wie aus Figur 1 weiter hervorgeht, wird das an der Leitung 10
30 anliegende CLK-Signal - über eine mit der Leitung 10 verbundene Leitung 8 - einem (weiteren) Eingang der Phasenvergleichseinrichtung 4 zugeführt, sowie über eine - ebenfalls mit der Leitung 10 verbundene - Leitung 22 (und wie

im folgenden noch genauer erläutert wird) der Steuer-
Vorrichtung 5 („Slow Mode Signal Generator“).

In der Phasenvergleichseinrichtung 4 wird - entsprechend
5 ähnlich wie bei herkömmlichen Phasenvergleichseinrichtungen -
die Phasenlage des - an der Leitung 7b anliegenden, dem
ersten Eingang der Phasenvergleichseinrichtung 4 zugeführten
- FB-Signals mit derjenigen des - an der Leitung 8
anliegenden, dem weiteren Eingang der
10 Phasenvergleichseinrichtung 4 zugeführten - CLK-Signals
verglichen. Abhängig davon, ob die Phase des FB-Signal
derjenigen des CLK-Signals vorausseilt, oder hinterherläuft,
wird von der Phasenvergleichseinrichtung 4 - als Steuersignal
für die o.g. erste Verzögerungseinrichtung 2 - an einer mit
15 der ersten Verzögerungseinrichtung 2 verbundenen
Steuerleitung 9 ein Inkrement-Signal (INC-Signal), oder ein
Dekrement-Signal (DEC-Signal) ausgegeben (z.B. - als INC-
Signal - ein „logisch hohes“, und - als DEC-Signal - ein
„logisch niedriges“ Signal (oder umgekehrt)), die dazu
20 führen, dass die durch die erste
Signalverzögerungseinrichtung 2 bewirkte Verzögerung t_{var} des
CLK-Signals - bei einem INC-Signal - erhöht wird (vgl. z.B.
das in Figur 3 gezeigte INC-Signal, und das in den Zeiträumen
T1 bzw. T2 („fast mode“ bzw. „slow mode“) jeweils geringer
25 werdende Vorausseilen des FB-Signals gegenüber dem CLK-Signal
(Pfeile K, L, M)), bzw. - bei einem DEC-Signal - verringert
wird, sodaß schließlich das CLK- und das FB-Signal
synchronisiert, d.h. die Taktsignal-
Synchronisationseinrichtung 1 „eingerastet“ („locked“) ist
30 (d.h. - wie z.B. in Figur 3, ganz rechts dargestellt - das
CLK-Signal jeweils zur gleichen Zeit t_a eine positive Flanke
A hat, wie das FB-Signal (Flanke A') (bzw. das CLK-Signal

jeweils zur gleichen Zeit t_b eine negative Flanke B hat, wie das FB-Signal (Flanke B')) (Zeitraum T3, „locked mode“)).

Solange die positive Flanke A' des FB-Signals der positiven
5 Flanke A des CLK-Signals vorausseilt (wie z.B. in Figur 3, links dargestellt), wird von der Phasenvergleichseinrichtung 4 - als Steuersignal für die o.g. erste Verzögerungseinrichtung 2 - an der Leitung 9 ein INC-Signal ausgegeben. Demgegenüber würde in dem Fall, dass die positive
10 Flanke A' des FB-Signals die positive Flanke A des CLK-Signals „überholt“, von der Phasenvergleichseinrichtung 4 - als Steuersignal für die o.g. erste Verzögerungseinrichtung 2 - an der Leitung 9 ein DEC-Signal ausgegeben.

15 Wird - in einer ersten Phase (Zeitraum T1, „fast mode“) - von der Phasenvergleichseinrichtung 4 ein INC-Signal (oder alternativ: ein DEC-Signal) ausgegeben, und liegt (wie z.B. in Figur 3, links dargestellt) die positive Flanke A' des FB-Signals außerhalb eines vorbestimmten, direkt vor der
20 positiven Flanke A des CLK-Signals liegenden, eine vorbestimmte, konstante Zeitdauer Δt lang andauernden Zeitfensters (in Figur 3 schraffiert dargestellt) - d.h. tritt die positive Flanke A' des FB-Signals z.B. zu einem Zeitpunkt t_1 auf, der länger als die o.g. Zeitdauer Δt vor
25 dem Zeitpunkt t_2 liegt, zu dem die positive Flanke A des CLK-Signals auftritt (d.h. gilt $t_2 - \Delta t > t_1$) -, wird die von der ersten Signalverzögerungseinrichtung 2 bewirkte Verzögerung t_{var} in relativ großen Zeitschritten, d.h. relativ stark (d.h. jeweils in Grobschritten, z.B. um jeweils eine
30 „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung) erhöht (bzw. verringert), bzw. die Phasengeschwindigkeit des FB-Signals gegenüber der Phasengeschwindigkeit des CLK-Signals -

relativ stark - vergrößert (bzw. verkleinert)
(„Grobeinstellung“).

Wird - in einer zweiten Phase (Zeitraum T2, „slow mode“) -
5 von der Phasenvergleichseinrichtung 4 ein INC-Signal (oder
ein DEC-Signal) ausgegeben, und liegt (wie z.B. in Figur 3
weiter rechts dargestellt) die positive Flanke A' des FB-
Signals innerhalb des o.g. vorbestimmten, direkt vor der
positiven Flanke A des CLK-Signals liegenden, die o.g.

10 vorbestimmte, konstante Zeitdauer Δt lang andauernden
Zeitfensters (in Figur 3 schraffiert dargestellt) - d.h.
tritt die positive Flanke A' des FB-Signals zu einem
Zeitpunkt t_1 auf, der kürzer als die o.g. Zeitdauer Δt vor
dem Zeitpunkt t_2 liegt, zu dem die positive Flanke A des CLK-
15 Signals auftritt (d.h. gilt $t_2 - \Delta t \leq t_1$) -, wird die von der
ersten Signalverzögerungseinrichtung 2 bewirkte Verzögerung
 t_{var} in relativ kleinen Zeitschritten, d.h. relativ schwach
(d.h. jeweils in Feinschritten, z.B. um jeweils eine „fine
unit delay“ t_f bzw. Fein-Einheit-Verzögerung) erhöht (bzw.
20 verringert), bzw. die Phasengeschwindigkeit des FB-Signals
gegenüber der Phasengeschwindigkeit des CLK-Signals - relativ
schwach - vergrößert (bzw. verkleinert) („Feineinstellung“).

Eine „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung
25 kann um einen bestimmten Faktor (z.B. zwischen drei und
zwanzig Mal, beispielsweise vier, acht oder sechzehn Mal)
größer sein, als eine „fine unit delay“ t_f bzw. Fein-Einheit-
Verzögerung (d.h. es kann z.B. gelten: $t_c = 4 t_f$, oder z.B. t_c
 $= 8 t_f$, oder z.B. $t_c = 16 t_f$, etc.).

30

Ob die von der ersten Signalverzögerungseinrichtung 2
bewirkte Verzögerung t_{var} in relativ kleinen Zeitschritten,
d.h. relativ schwach (d.h. jeweils in Feinschritten, z.B. um

jeweils die o.g. „fine unit delay“ t_f) erhöht (bzw. verringert) wird – d.h. das System sich im o.g. „slow mode“ befindet –, oder ob die von der ersten Signalverzögerungseinrichtung 2 bewirkte Verzögerung t_{var} in
5 relativ großen Zeitschritten, d.h. relativ stark (d.h. jeweils in Grobschritten, z.B. um jeweils die o.g. „coarse unit delay“ t_c) erhöht (bzw. verringert) wird – d.h. das System sich im o.g. „fast mode“ befindet –, wird – wie im folgenden noch genauer erläutert wird – von der o.g. Steuer-
10 Vorrichtung 5 ermittelt.

Wird von der o.g. Steuer-Vorrichtung 5 ermittelt, dass sich das System im „fast mode“ befindet (d.h. wird von der Steuer-Vorrichtung 5 ermittelt, dass die positive Flanke A' des FB-Signals außerhalb des vorbestimmten, direkt vor der positiven
15 Flanke A des CLK-Signals liegenden Zeitfensters liegt), wird von der Steuer-Vorrichtung 5 ein „logisch niedriges“ Steuersignal ausgegeben, und – über eine Leitung 29a – der ersten Signalverzögerungseinrichtung 2 zugeführt (die dann –
20 wie oben erläutert – die von ihr bewirkte Verzögerungszeit t_{var} in relativ großen Zeitschritten, d.h. relativ stark erhöht (bzw. verringert)).

Wird demgegenüber von der o.g. Steuer-Vorrichtung 5
25 ermittelt, dass sich das System im „slow mode“ befindet (d.h. wird von der Steuer-Vorrichtung 5 ermittelt, dass die positive Flanke A' des FB-Signals innerhalb des vorbestimmten, direkt vor der positiven Flanke A des CLK-Signals liegenden Zeitfensters liegt), wird von der Steuer-
30 Vorrichtung 5 ein „logisch hohes“ Steuersignal (SLOW-Signal) ausgegeben, und – über die o.g. Leitung 29a – der ersten Signalverzögerungseinrichtung 2 zugeführt (die dann – wie oben erläutert – die von ihr bewirkte Verzögerungszeit t_{var}

nur noch in relativ kleinen Zeitschritten, d.h. relativ schwach erhöht (bzw. verringert)).

Die Zeitdauer Δt des Zeitfensters kann z.B. ein Vielfaches
5 der o.g. „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung betragen, z.B. zwischen dem zwei- und sechzehnfachen der o.g. „coarse unit delay“ t_c (beim vorliegenden Ausführungsbeispiel insbesondere – und wie im folgenden noch genauer erläutert wird abhängig von der Frequenz des CLK-Signals – entweder dem
10 zweifachen, oder dem vierfachen der o.g. „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung).

In Figur 2 ist eine schematische Darstelllung der in der Taktsignal-Synchronisationseinrichtung 1 gemäß Figur 1 zur
15 Steuerung des Taktsignal-Synchronisations-Prozesses verwendeten Steuer-Vorrichtung 5 gezeigt:

Wie aus Figur 2 hervorgeht, weist die Steuer-Vorrichtung 5 ein erstes und ein zweites – entsprechend verschaltetes – RS-
20 Flip-Flop 12a, 12b auf, einen – weiteren – Flip-Flop 12c, eine Verzögerungseinrichtung 13, ein NAND-Gatter 14a, ein OR-Gatter 14b, ein Latch 15, sowie zwei Inverter 16a, 16b.

Das erste RS-Flip-Flop 12a weist zwei NAND-Gatter 17a, 17b auf (hier: zwei 2-NAND-Gatter 17a, 17b), und das zweite RS-
25 Flip-Flop 12b zwei NAND-Gatter 18a, 18b (hier: zwei 2-NAND-Gatter 18a, 18b).

Ein erster Eingang des ersten NAND-Gatters 17a des ersten RS-
30 Flip-Flops 12a ist – über eine Leitung 20a – mit der o.g. Leitung 21 verbunden, über die das o.g. FB-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

Der Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a ist - über eine Leitung 20b, und eine mit dieser verbundenen Leitung 20c - an einen ersten Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a rückgekoppelt
5 (so dass ein am Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a ausgegebenes Signal (A0-Signal) dem ersten Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a zugeführt wird).

10 Des weiteren ist ein zweiter Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a - über eine Leitung 20d - mit der o.g. Leitung 22 verbunden, über die das o.g. CLK-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

15 Der Ausgang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a ist - über eine Leitung 20e, und eine mit dieser verbundenen Leitung 20f - an einen zweiten Eingang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a rückgekoppelt
(so dass ein am Ausgang des zweiten NAND-Gatters 17b des
20 ersten RS-Flip-Flops 12a ausgegebenes Signal dem zweiten Eingang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a zugeführt wird).

Wie aus Figur 2 weiter hervorgeht, ist ein erster Eingang des
25 ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b - über eine Leitung 20g - mit der o.g. Leitung 22 verbunden, über die das o.g. CLK-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

30 Der Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b ist - über eine Leitung 20h, und eine mit dieser verbundenen Leitung 20i - an einen ersten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b rückgekoppelt

(so dass ein am Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b ausgegebenes Signal (A1-Signal) dem ersten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b zugeführt wird).

5

Des weiteren ist ein zweiter Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b - über eine Leitung 20k - mit einem Ausgang der o.g. Verzögerungseinrichtung 13 verbunden, deren Eingang - über eine Leitung 20l - mit der o.g. Leitung 21 verbunden ist (sodaß ein - gegenüber dem an der Leitung 21 anliegenden FB-Signal - durch die Verzögerungseinrichtung 13 entsprechend verzögertes Signal FBdel an den zweiten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b angelegt wird).

15

Der Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b ist - über eine Leitung 20m, und eine mit dieser verbundenen Leitung 20n - an einen zweiten Eingang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b rückgekoppelt (so dass ein am Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b ausgegebenes Signal dem zweiten Eingang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b zugeführt wird).

20

Wie aus Figur 2 weiter hervorgeht, wird das am Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b ausgegebene Signal zusätzlich auch - über die o.g. Leitung 20m, und eine mit dieser verbundenen Leitung 23a - einem zweiten Eingang des NAND-Gatters 14a zugeführt.

30

Auf entsprechend ähnliche Weise wird auch das am Ausgang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a ausgegebene Signal (außer - über die o.g. Leitungen 20e, 20f

- dem zweiten Eingang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a) zusätzlich auch - über die o.g. Leitung 20e, und eine mit dieser verbundenen Leitung 23b - einem ersten Eingang des NAND-Gatters 14a zugeführt.

5

Hierdurch wird erreicht, dass die am Ausgang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a, und die am Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b anliegende (u.a. durch das NAND-Gatter 14a

10 gebildete) Last im wesentlichen gleich groß ist, wie die am Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a, und die am Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b anliegende (u.a. durch das OR-Gatter 14b gebildete) Last.

15

Wie aus Figur 2 weiter hervorgeht, wird das am Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a ausgegebene Signal (A0-Signal) (außer - über die o.g.

20 Leitungen 20b, 20c - dem ersten Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a) zusätzlich auch - über die o.g. Leitung 20b, und eine mit dieser verbundenen Leitung 23d - einem ersten Eingang des OR-Gatters 14b zugeführt.

25 Auf entsprechend ähnliche Weise wird auch das am Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b ausgegebene Signal (A1-Signal) (außer - über die o.g.

30 Leitungen 20h, 20i - dem ersten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b) zusätzlich auch - über die o.g. Leitung 20h, und eine mit dieser verbundenen Leitung 23c - einem zweiten Eingang des OR-Gatters 14b zugeführt.

Der Ausgang des OR-Gatters 14b ist über eine Leitung 24 mit dem o.g. (dritten) Flip-Flop 12c der Steuer-Vorrichtung 5 verbunden (und zwar mit einem dritten Eingang eines NAND-Gatters 19b (hier: eines 3-NAND-Gatters 19b) des Flip-Flops 12c).

Wie aus Figur 2 weiter hervorgeht, weist das Flip-Flop 12c – zusätzlich zum NAND-Gatter 19b – ein weiteres NAND-Gatter 19a auf (hier: ein 2-NAND-Gatter 19a).

10

Gemäß Figur 2 ist ein Eingang des o.g. (ersten) Inverters 16a – über eine Leitung 25 – mit der o.g. Leitung 22 verbunden, über die – wie bereits oben erwähnt – das CLK-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

15

Ein Ausgang des (ersten) Inverters 16a ist – über eine Leitung 26a, und eine mit dieser verbundenen Leitung 26b – an einen Eingang des (zweiten) Inverters 16b angeschlossen.

20 Des weiteren ist ein Ausgang des (zweiten) Inverters 16b – über eine Leitung 27 – mit einem ersten Eingang des ersten NAND-Gatters 19a des dritten Flip-Flops 12c der Steuer-Vorrichtung 5 verbunden (sodaß ein am Ausgang des zweiten Inverters 16b ausgegebenes Signal (clk1th-Signal) dem ersten Eingang des ersten NAND-Gatters 19a des dritten Flip-Flops 12c zugeführt wird).

Der Ausgang des ersten NAND-Gatters 19a des dritten Flip-Flops 12c ist – über eine Leitung 28a – an einen ersten Eingang des zweiten NAND-Gatters 19b des dritten Flip-Flops 12c rückgekoppelt (so dass ein am Ausgang des ersten NAND-Gatters 19a des Flip-Flops 12c ausgegebenes Signal dem ersten

Eingang des zweiten NAND-Gatters 19b des Flip-Flops 12c
zugeführt wird).

Auf entsprechend umgekehrte Weise ist der Ausgang des zweiten
5 NAND-Gatters 19b des Flip-Flops 12c - über eine Leitung 28b,
und eine mit dieser verbundenen Leitung 28c - an einen
zweiten Eingang des ersten NAND-Gatters 19a des Flip-Flops
12c rückgekoppelt (so dass ein am Ausgang des zweiten NAND-
Gatters 19b des Flip-Flops 12c ausgegebenes Signal (OUT-
10 Signal) dem zweiten Eingang des ersten NAND-Gatters 19b des
Flip-Flops 12c zugeführt wird).

Ein zweiter Eingang des zweiten NAND-Gatters 19b des Flip-
Flops 12c ist - über eine Leitung 28d - an eine - mit einem
15 ersten (inversen) Ausgang des Latches 15 verbundene - Leitung
29b angeschlossen.

Ein (Daten-)Eingang des Latches 15 ist über eine Leitung 28e,
und die mit dieser verbundene Leitung 28b an den Ausgang des
20 zweiten NAND-Gatters 19b des Flip-Flops 12c angeschlossen
(sodaß das am Ausgang des zweiten NAND-Gatters 19b des Flip-
Flops 12c ausgegebene OUT-Signal dem o.g. (Daten-)Eingang des
Latches 15 zugeführt wird).

25 Wie aus Figur 2 weiter hervorgeht, ist der Ausgang des
(ersten) Inverters 16a - über die o.g. Leitung 26a, und eine
mit dieser verbundenen Leitung 28f - an den einen (inversen)
(Takt-) Eingang des Latches 15 angeschlossen.

30 Der (zweite, nicht-inverse) Ausgang des Latches 15 ist an die
- oben bereits erwähnte - Leitung 29a angeschlossen, und der
(erste, inverse) Ausgang des Latches 15 an die o.g. Leitung
29b (so dass das am zweiten, nicht-inversen Ausgang des

Latches 15 ausgegebene (Steuer-)Signal (SLOW-Signal) - wie aus Figur 1 hervorgeht - über die o.g. Leitung 29a der ersten Verzögerungseinrichtung 2 der Taktsignal-

Synchronisationseinrichtung 1 zugeführt wird, und - wie aus
5 Figur 2 hervorgeht, und wie bereits oben erläutert wurde - das zum SLOW-Signal inverse Signal /SLOW - über die Leitung 28d - dem zweiten Eingang des zweiten NAND-Gatters 19b des dritten Flip-Flops 12c).

10 In Fig. 4 ist eine schematische Detaildarstellung der in der Steuer-Vorrichtung 5 gemäß Figur 2 verwendeten Verzögerungseinrichtung 13 gezeigt. Diese weist z.B. - in einem ersten Signalpfad P liegend - vier Verzögerungs-
Elemente 13a, 13b, 13c, 13d auf, und - in einem zweiten
15 Signalpfad Q liegend - zwei Verzögerungs-Elemente 13e, 13f.

Jedes der Verzögerungs-Elemente 13a, 13b, 13c, 13d, 13e, 13f bewirkt eine Verzögerung des jeweils eingegebenen Signals um die o.g. - in Bezug auf die o.g. erste

20 Verzögerungseinrichtung 2 bereits erläuterte - „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung (wobei in der in Figur 1 gezeigten ersten Verzögerungseinrichtung 2 der Taktsignal-Synchronisationseinrichtung 1 entsprechend identische Verzögerungs-Elemente verwendet werden, wie in der
25 in Figur 2 und 4 gezeigten Verzögerungseinrichtung 13 der Steuer-Vorrichtung 5).

Je nachdem, ob die (z.B. von einer entsprechenden Frequenz-Ermittlungs-Einrichtung ermittelte) Frequenz des CLK-Signals
30 über oder unter einem vorbestimmten Schwellwert S liegt, werden entsprechende in der Verzögerungseinrichtung 13 vorgesehene Schalter 33a, 33b entsprechend - automatisch (und z.B. unter Steuerung durch die o.g. Frequenz-Ermittlungs-

Einrichtung) - geöffnet, oder geschlossen (sodaß - bei einer relativ niedrigen Frequenz des CLK-Signals - das in die Verzögerungseinrichtung 13 eingegebene Signal z.B. durch die vier Verzögerungs-Elemente 13a, 13b, 13c, 13d (d.h. relativ stark) verzögert wird (Signalpfad P (bzw. Schalter 33a) geschlossen, und Signalpfad Q (bzw. Schalter 33b) geöffnet)), und - bei einer relativ hohen Frequenz des CLK-Signals - das in die Verzögerungseinrichtung 13 eingegebene Signal lediglich durch die zwei Verzögerungs-Elemente 13e, 13f (d.h. relativ schwach) verzögert wird (Signalpfad P (bzw. Schalter 33a) geöffnet, und Signalpfad Q (bzw. Schalter 33b) geschlossen)).

Der o.g. Schwellwert S für die Frequenz kann z.B. zwischen 100 MHz und 1000 MHz liegen, z.B. bei 250 MHz.

Mit anderen Worten kann also durch die Schalter 33a, 33b die „Weite“ bzw. die o.g. Zeitdauer Δt des in Figur 3 gezeigten, jeweils unmittelbar vor der positiven Flanke A des CLK-Signals liegenden Zeitfensters (in Figur 3 schraffiert dargestellt) - frequenzabhängig - geändert werden.

Sind - wie in Figur 3 gezeigt z.B. zu einem Anfangszeitpunkt t_0 - sowohl das CLK- als auch das FB-Signal in einem „logisch niedrigen“ Zustand, wird - wie sich aus Figur 2 ergibt - vom ersten RS-Flip-Flop 12a (bzw. von dessen erstem NAND-Gatter 17a) an der o.g. Leitung 23d ein „logisch hohes“ Signal („A0-Signal“) ausgegeben.

Auf entsprechend ähnliche Weise wird dann - wie sich ebenfalls aus Figur 2 ergibt - auch vom zweiten RS-Flip-Flop 12b (bzw. von dessen erstem NAND-Gatter 18a) an der entsprechenden Leitung 23c ein „logisch hohes“ Signal („A1-

Signal") ausgegeben - das vom OR-Gatter 14b an der Leitung 24 ausgegebene Signal („D0“-Signal) ist dann - ebenfalls - „logisch hoch“.

- 5 Das vom OR-Gatter 14b an der Leitung 24 ausgegebene Signal („D0“-Signal) wird nur dann „logisch niedrig“, wenn sowohl das vom ersten RS-Flip-Flop 12a an der o.g. Leitung 23d ausgegebene A0-Signal, als auch das vom zweiten RS-Flip-Flop 12b an der entsprechenden Leitung 23c ausgegebene A1-Signal
10 „logisch niedrig“ ist. Mit einem „logisch niedrigen“ D0-Signal wird angezeigt, dass in den „slow mode“ gewechselt werden soll.

Dies ist nur dann der Fall (d.h. das D0-Signal wird nur dann
15 „logisch niedrig“), wenn - wie im folgenden noch erläutert wird - die positive Flanke A' des FB-Signals - wie z.B. in Figur 3, rechts dargestellt - innerhalb des o.g., direkt vor der positiven Flanke A des CLK-Signals liegenden, die o.g. Zeitdauer Δt lang andauernden Zeitfensters liegt (in Figur 3
20 schraffiert dargestellt) - d.h. die positive Flanke A' des FB-Signals z.B. zu einem Zeitpunkt t_1 auftritt, der kürzer als die o.g. Zeitdauer Δt vor dem Zeitpunkt t_2 liegt, zu dem die positive Flanke A des CLK-Signals auftritt.

- 25 Ansonsten (d.h. wenn die positive Flanke A' des FB-Signals - wie z.B. in Figur 3, links dargestellt - außerhalb des o.g. Zeitfensters liegt) wechselt - nach einer positiven Flanke A' des FB-Signals, und einer darauffolgenden positiven Flanke A des CLK-Signals - zwar das vom ersten RS-Flip-Flop 12a an der
30 o.g. Leitung 23d ausgegebene Signal (A0-Signal) seinen Zustand auf „logisch niedrig“.

Allerdings bleibt – nach einer positiven Flanke A' des FB-Signals, und einer darauffolgenden positiven Flanke A des CLK-Signals – das vom zweiten RS-Flip-Flop 12b an der o.g. Leitung 23c ausgegebene Signal (A1-Signal) in einem Zustand
5 „logisch hoch“ (da – trotz der durch die Verzögerungseinrichtung 13 bewirkten Verzögerung des FB-Signals um die o.g. Zeitdauer Δt – beim zweiten RS-Flip-Flop 12b zunächst am zweiten Eingang des zweiten NAND-Gatters 18b, und dann erst am ersten Eingang des ersten NAND-Gatters 18a
10 (und nicht etwa in umgekehrter Reihenfolge) ein „logisch hohes“ Signal anliegt (so dass durch das – zunächst am Ausgang des zweiten NAND-Gatters 18b ausgegebene, und dem zweiten Eingang des ersten NAND-Gatters 18a zugeführte – „logisch niedrige“ Signal das erste NAND-Gatter 18a
15 „blockiert“ wird (d.h. selbst dann noch an der Leitung 23c ein „logisch hohes“ Signal ausgibt, wenn das CLK-Signal seinen Zustand dann auf „logisch hoch“ wechselt))).

Liegt demgegenüber die positive Flanke A' des FB-Signals –
20 wie z.B. in Figur 3, rechts dargestellt – innerhalb des o.g., direkt vor der positiven Flanke A des CLK-Signals liegenden, die o.g. Zeitdauer Δt lang andauernden Zeitfensters, wechselt – nach einer positiven Flanke A' des FB-Signals, und einer darauffolgenden positiven Flanke A des CLK-Signals –
25 das vom zweiten RS-Flip-Flop 12b an der o.g. Leitung 23c ausgegebene Signal (A1-Signal) – entsprechend wie das vom ersten RS-Flip-Flop 12a an der Leitung 23d ausgegebene Signal A0 – seinen Zustand auf „logisch niedrig“ (da – durch die durch die Verzögerungseinrichtung 13 bewirkte Verzögerung des
30 FB-Signals um die o.g. Zeitdauer Δt (und den relativ kurzen zeitlichen Abstand zwischen den Flanken A' und A) – beim zweiten RS-Flip-Flop 12b dann zunächst am ersten Eingang des ersten NAND-Gatters 18a, und dann erst am zweiten Eingang des

zweiten NAND-Gatters 18b ein „logisch hohes“ Signal anliegt (so dass durch das am ersten Eingang des ersten NAND-Gatters 18a dann anliegende „logisch hohe Signal“, und das am zweiten Eingang des ersten NAND-Gatters 18a anliegende - ebenfalls
5 „logisch hohe“ - Signal am Ausgang des ersten NAND-Gatters 18a (und somit an der o.g. Leitung 23c) dann ein „logisch niedriges“ A1-Signal ausgegeben wird)).

Durch das o.g. - auf die RS-Flip-Flops 12a, 12b folgende -
10 (dritte) Flip-Flop 12c, bzw. das Latch 15 wird das von dem OR-Gatter 14b ausgegebene, dann „logisch niedrige“ D0-Signal (Slow-Mode-Ermittlungssignal) mit dem System-Takt (CLK-Signal) synchronisiert.

15 Nur dann, wenn das von dem OR-Gatter 14b an der Leitung 24 ausgegebene, in das NAND-Gatter 19b des dritten Flip-Flops 12c eingegebene Signal („D0“-Signal) „logisch niedrig“ wird (d.h., wenn in den „slow mode“ gewechselt werden soll), kann - bei entsprechenden Takt-Flanken des CLK- bzw. (genauer) des
20 hieraus gewonnenen clklth-Signals - das vom NAND-Gatter 19b an den Leitungen 28b, 28e ausgegebene OUT-Signal „logisch hoch“ werden, und vom Latch 15 als „logisch hohes“ Steuersignal SLOW dann an die Leitung 29a weitergeleitet werden.

25

Wird das an der Leitung 29a anliegende SLOW-Signal „logisch hoch“ - und demzufolge das an der Leitung 29b anliegende, zum SLOW-Signal inverse Signal /SLOW logisch niedrig -, wird - über die Leitung 28d - dieses „logisch niedrige“ Signal dann
30 dem (zweiten) Eingang des NAND-Gatters 19b des Flip-Flops 12c zugeführt, und dadurch sichergestellt, dass das NAND-Gatter 19b - unabhängig von einer ggf. später eintretenden Zustandsänderung des am dritten Eingang des NAND-Gatters 19b

Beschreibung

Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen, sowie Taktsignal-Synchronisationsverfahren

5

Die Erfindung betrifft eine Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen, insbesondere eine Vorrichtung zur Verwendung bei der Synchronisation eines intern in einem Speicherchips verwendeten Taktsignals mit
10 einem extern in den Speicherchip eingegebenen Taktsignal, sowie ein Taktsignal-Synchronisationsverfahren.

Bei Halbleiter-Bauelementen, insbesondere bei Speicherbauelementen wie - z.B. auf CMOS-Technologie
15 beruhenden - DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) werden - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten - sog. Taktsignale verwendet.

20 Bei herkömmlichen Halbleiter-Bauelementen wird dabei i.A. ein - auf einer Einzel-Leitung anliegendes - Einzel-Taktsignal eingesetzt (d.h. ein sog. „single ended“-Taktsignal).

Die Daten können dann z.B. jeweils bei der ansteigenden
25 Taktflanke des Einzel-Taktsignals weitergeschaltet werden (oder alternativ z.B. jeweils bei der abfallenden Einzel-Taktsignal-Flanke).

Des weiteren sind im Stand der Technik bereits sog. DDR-Bauelemente, insbesondere DDR-DRAMs bekannt (DDR-DRAM =
30 Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

Bei DDR-Bauelementen werden - statt eines einzelnen, auf einer Einzel-Leitung anliegenden Taktsignals („single ended“-
35 Taktsignal) - zwei auf zwei getrennten Leitungen anliegende, differentielle, gegengleich-inverse Taktsignale verwendet.

Immer dann, wenn z.B. das erste Taktsignal der beiden Taktsignale von einem Zustand „logisch hoch“ (z.B. einem hohen Spannungspegel) auf einen Zustand „logisch niedrig“ (z.B. einen niedrigen Spannungspegel) wechselt, ändert das
5 zweite Taktsignal - im wesentlichen gleichzeitig - seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (z.B. von einem niedrigen auf einen hohen Spannungspegel).

- 10 Umgekehrt ändert immer dann, wenn das erste Taktsignal von einem Zustand „logisch niedrig“ (z.B. einem niedrigen Spannungspegel) auf einen Zustand „logisch hoch“ (z.B. einen hohen Spannungspegel) wechselt, das zweite Taktsignal (wiederum im wesentlichen gleichzeitig) seinen Zustand von
15 „logisch hoch“ auf „logisch niedrig“ (z.B. von einem hohen auf einen niedrigen Spannungspegel).

In DDR-Bauelementen werden die Daten i.A. sowohl bei der ansteigenden Flanke des ersten Taktsignals, als auch bei der
20 ansteigenden Flanke des zweiten Taktsignals (bzw. sowohl bei der abfallenden Flanke des ersten Taktsignals, als auch bei der abfallenden Flanke des zweiten Taktsignals) weitergeschaltet.

- 25 Damit erfolgt in einem DDR-Bauelement die Weiterschaltung der Daten häufiger bzw. schneller (insbesondere doppelt so häufig, bzw. doppelt so schnell), wie bei entsprechenden, herkömmlichen Bauelementen mit Einzel- bzw. „single ended“ - Taktsignal - d.h. die Datenrate ist höher, insbesondere
30 doppelt so hoch, wie bei entsprechenden, herkömmlichen Bauelementen.

Das - intern - im Bauelement zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten verwendete
35 Taktsignal („DQS“- bzw. „data strobe“-Signal) (bzw. - bei der Verwendung differentieller, gegengleich-inverser Taktsignale - das interne Taktsignal DQS, und das zum Taktsignal DQS

gegengleich-inverse Taktsignal BDQS) muß synchron zu einem extern in das Bauelement eingegebenen Taktsignal („CLK“- bzw. „clock“-Signal) sein (bzw. synchron zu den extern in das Bauelement eingegebenen, differentiellen Taktsignalen CLK, BCLK).

Das oder die externen Taktsignale CLK, BCLK wird bzw. werden von einem entsprechenden, mit dem Bauelement verbundenen, externen Taktsignal-Geber erzeugt.

10

Zur Synchronisation des intern erzeugten Taktsignals DQS bzw. der intern erzeugten Taktsignale DQS, BDQS mit dem oder den externen Taktsignalen CLK, BCLK wird eine Taktsignal-Synchronisationseinrichtung, z.B. eine DLL-Schaltung (DLL = Delay-Locked-Loop) verwendet. Eine solche Schaltung ist z.B. aus der EP 964 517 bekannt.

15

Eine Taktsignal-Synchronisationseinrichtung kann z.B. eine erste Verzögerungseinrichtung aufweisen, in die das oder die externen Taktsignale CLK, BCLK eingegeben werden, und die das oder die eingegebenen Taktsignale CLK, BCLK - abhängig von einem von einer Phasenvergleichseinrichtung ausgegebenen Steuersignal - mit einer - durch das Steuersignal einstellbaren, variablen - Verzögerungszeit t_{var} beaufschlagt.

25

Das oder die von der ersten Verzögerungseinrichtung ausgegebenen Signal(e) kann bzw. können - intern - im Bauelement zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten verwendet werden (d.h. als - interne(s) - Taktsignal(e) DQS bzw. BDQS).

30

Das von der ersten Verzögerungseinrichtung ausgegebene Signal DQS wird einer zweiten Verzögerungseinrichtung zugeführt, die

das eingegebene Signal DQS mit einer - festen -
Verzögerungszeit t_{const} beaufschlagt, die in etwa der Summe
der durch den bzw. die Receiver („Receiver-Delay“), den
jeweiligen Datenpfad („data path delay“), und den bzw. die
5 Off-Chip-Driver („OCD-Delay“) verursachten Signal-
Verzögerungen entspricht.

Das von der zweiten Verzögerungseinrichtung ausgegebene
Signal (FB-Signal bzw. „Feedback-Signal“) wird der o.g.
10 Phasenvergleichseinrichtung zugeführt, und dort die
Phasenlage des FB-Signals mit derjenigen des - ebenfalls in
die Phasenvergleichseinrichtung eingegebenen - CLK-Signals
verglichen. Abhängig davon, ob die Phase des FB-Signal
derjenigen des CLK-Signals vorseilt, oder hinterherläuft,
15 wird von der Phasenvergleichseinrichtung - als Steuersignal
für die o.g. erste Verzögerungseinrichtung - ein Inkrement-
Signal (INC-Signal), oder ein Dekrement-Signal (DEC-Signal)
ausgegeben, die dazu führen, dass die durch die erste
Signalverzögerungseinrichtung bewirkte Verzögerung t_{var} des
20 CLK-Signals - bei einem INC-Signal - erhöht, bzw. - bei einem
DEC-Signal - verringert wird, sodaß schließlich das CLK- und
das FB-Signal synchronisiert, d.h. die Taktsignal-
Synchronisationseinrichtung „eingerastet“ („locked“) ist.

25 Beispielsweise kann zunächst in einer ersten Phase (wenn die
positive Flanke des FB-Signals der positiven Flanke des CLK-
Signals (noch) hinterherläuft), von der
Phasenvergleichseinrichtung ein INC-Signal erzeugt werden,
das dazu führt, dass die von der ersten
30 Signalverzögerungseinrichtung bewirkte Verzögerung t_{var} -
relativ stark - erhöht, bzw. die Phasengeschwindigkeit des
FB-Signals gegenüber der Phasengeschwindigkeit des CLK-

Signals - relativ stark - vergrößert wird.
(„Grobeinstellung“).

Wenn die positive Flanke des FB-Signals die positive Flanke
5 des CLK-Signals „überholt“, kann von der
Phasenvergleichseinrichtung dann ein DEC-Signal erzeugt
werden, das dazu führt, dass die von der ersten
Signalverzögerungseinrichtung bewirkte Verzögerung t_{var}
(wieder) verringert, bzw. die Phasengeschwindigkeit des FB-
10 Signals gegenüber der Phasengeschwindigkeit des CLK-Signals
verkleinert wird (und zwar - zur „Feineinstellung“ - nur
jeweils relativ wenig).

Durch die zunächst starke, und dann relativ schwache Änderung
15 der von der ersten Signalverzögerungseinrichtung bewirkten
Verzögerungen t_{var} bzw. Phasenverschiebungen kann - in der
Regel - eine relativ schnelle Synchronisation des CLK- und
FB-Signals erreicht, d.h. die Taktsignal-
Synchronisationseinrichtung relativ schnell „eingerastet“
20 werden.

Allerdings wird - aufgrund der in der DLL-Schaltung
vorkommenden Signal-Verzögerungen - erste einige Takte (z.B.
4 Takte), nachdem die positive Flanke des FB-Signals die
25 positive Flanke des CLK-Signals „überholt“ hat, die oben
beschriebene, durch das DEC-Signal bewirkte Verkleinerung der
FB-Signal-Phasengeschwindigkeit gegenüber der CLK-Signal-
Phasengeschwindigkeit bewirkt.

30 Dies kann dazu führen, dass zwischenzeitlich das FB-Signal
dem CLK-Signal so weit vorausseilt (insbesondere z.B. die
positive Flanke des FB-Signals die negative Flanke des CLK-
Signals „überholt“ hat), dass von der

Phasenvergleichseinrichtung erneut ein INC-Signal ausgegeben wird, etc., etc., sodaß das CLK- und das FB-Signal nicht synchronisiert, d.h. die Taktsignal-Synchronisationseinrichtung nicht „eingerastet“ werden kann.

5

Die Aufgabe der Erfindung besteht daher darin, eine neuartige Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen, sowie ein neuartiges Taktsignal-

10 Synchronisationsverfahren zur Verfügung zu stellen, insbesondere eine Vorrichtung und ein Verfahren, mit denen die beschriebenen Nachteile bisheriger entsprechender Vorrichtungen bzw. Verfahren zumindest teilweise beseitigt werden können.

15

Die Erfindung erreicht dieses und andere Ziele durch den Gegenstand der Ansprüche 1, 7 und 8.

Vorteilhafte Weiterbildungen der Erfindung sind in den
20 Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird eine Vorrichtung zur Verwendung bei der Synchronisation von Taktsignalen (CLK) bereitgestellt, mit einer Verzögerungseinrichtung mit
25 variabel steuerbarer Verzögerungszeit (t_{var}), in die ein Taktsignal (CLK) oder ein hieraus gewonnenes Signal eingegeben, mit der variabel steuerbaren Verzögerungszeit (t_{var}) beaufschlagt, und als verzögertes Taktsignal (DQS) ausgegeben wird,

30 d a d u r c h g e k e n n z e i c h n e t, daß eine Einrichtung vorgesehen ist zum Ermitteln, ob eine Taktflanke (A') des von der Verzögerungseinrichtung ausgegebenen verzögerten Taktsignals (DQS), oder eines

hieraus gewonnenen Signals (FB) innerhalb eines vorbestimmten Zeitfensters vor einer entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt.

5

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigen:

10 Fig. 1 eine schematische Darstellung einer Taktsignal-Synchronisationseinrichtung gemäß einem Ausführungsbeispiel der Erfindung;

Fig. 2 eine schematische Detaildarstellung einer bei
15 der Taktsignal-Synchronisationseinrichtung gemäß Figur 1 zur Steuerung des Taktsignal-Synchronisations-Prozesses verwendeten Steuer-Vorrichtung;

Fig. 3 Zeitablaufdiagramme der in die in Figur 2
20 gezeigte Steuer-Vorrichtung eingegebenen FB- und CLK-Signale, und des von der Steuer-Vorrichtung ausgegebenen, zur Steuerung des Taktsignal-Synchronisations-Prozesses verwendeten Steuersignals (SLOW-Signals); und

25 Fig. 4 eine schematische Detaildarstellung der in der Steuer-Vorrichtung gemäß Figur 2 verwendeten Verzögerungseinrichtung.

30 In Figur 1 ist eine schematische Darstellung einer Taktsignal-Synchronisationseinrichtung 1 gemäß einem Ausführungsbeispiel der Erfindung gezeigt.

Diese weist - entsprechend ähnlich wie herkömmliche Taktsignal-Synchronisationseinrichtungen - eine erste Verzögerungseinrichtung 2, eine zweite Verzögerungseinrichtung 3, und eine Phasenvergleichseinrichtung 4 auf, sowie - anders als herkömmliche Taktsignal-Synchronisationseinrichtungen, und wie im folgenden noch genauer erläutert wird - eine speziell ausgestaltete, zur Steuerung des Taktsignal-Synchronisations-Prozesses verwendete Steuer-Vorrichtung 5.

10

Die Taktsignal-Synchronisationseinrichtung 1 kann z.B. auf einem Halbleiter-Bauelement vorgesehen sein, insbesondere einem Speicherbauelementen wie einem - z.B. auf CMOS-Technologie beruhenden - DRAM (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher), z.B. einem DDR-DRAM (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

Das entsprechende Halbleiter-Bauelement weist einen - externen - Anschluß auf (z.B. ein entsprechendes Pad bzw. einen entsprechenden Pin), an dem - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten im Halbleiter-Bauelement - von einem externen Taktsignal-Geber ein externes Taktsignal CLK angelegt wird.

25

Alternativ kann das Bauelement einen entsprechenden - weiteren - externen Anschluß (z.B. ein entsprechendes weiteres Pad bzw. einen entsprechenden weiteren Pin) aufweisen, an dem ein zum o.g. Taktsignal CLK inverses Taktsignal BCLK angelegt wird (d.h. es können sog. „differentielle“ Taktsignale CLK, BCLK verwendet werden).

30

Intern im Bauelement können die Daten z.B. jeweils bei der ansteigenden (oder alternativ z.B. jeweils bei der abfallenden) Taktflanke des o.g. Taktsignals CLK (bzw. - genauer - eines hieraus gewonnenen, internen DQS-Taktsignals) weitergeschaltet werden, bzw. - bei der Verwendung differentieller Taktsignale CLK und BCLK (bzw. - genauer - der hieraus gewonnenen, differentiellen, internen Taktsignale DQS und BDQS) - i.A. sowohl bei der ansteigenden Flanke des CLK- als auch der ansteigenden Flanke des BCLK-Taktsignals (bzw. sowohl der ansteigenden Flanke des DQS- als auch der ansteigenden Flanke des BDQS-Signals (bzw. bei jeweils den abfallenden Taktflanken der entsprechenden Signale)).

Wie in Figur 1 gezeigt ist, wird das - am entsprechenden Anschluß des Halbleiter-Bauelements anliegende - CLK-Signal über eine Leitung 10, und eine mit dieser verbundenen Leitung 11 der in der Taktsignal-Synchronisationseinrichtung 1 vorgesehenen ersten Verzögerungseinrichtung 2 zugeführt.

In der ersten Verzögerungseinrichtung 2 („delay chain“ bzw. „delay line“) wird das CLK-Signal - abhängig von einem von der Phasenvergleichseinrichtung 4 ausgegebenen Steuersignal INC bzw. DEC - mit einer - durch das Steuersignal einstellbaren, variablen - Verzögerungszeit t_{var} beaufschlagt.

Das von der ersten Verzögerungseinrichtung 2 an einer Leitung 6a, und einer mit dieser verbundenen Leitung 6b ausgegebene - gegenüber dem CLK-Signal um die o.g. variable Verzögerungszeit t_{var} verzögerte - Signal DQS (bzw. zusätzlich ein - hierzu inverses - Signal BDQS) 'kann (bzw. können) - intern - im Bauelement zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten verwendet werden (d.h. als - interne(s) - Taktsignal(e) DQS bzw. BDQS).

Das BDQS-Signal kann z.B. - durch invertieren - aus dem DQS-Signal erzeugt werden, oder kann z.B. separat erzeugt werden (z.B. aus dem BCLK-Signal, unter Verwendung einer der in
5 Figur 1 gezeigten Taktsignal-Synchronisationseinrichtung 1 entsprechenden Taktsignal-Synchronisationseinrichtung).

Wie aus Figur 1 weiter hervorgeht, wird das von der ersten Verzögerungseinrichtung 2 ausgegebene Signal DQS - über die
10 o.g. Leitung 6a, und eine mit dieser verbundene Leitung 6c - (zusätzlich auch) der o.g. zweiten Verzögerungseinrichtung 3 („clock tree delay mimic“) zugeführt, die das eingegebene Signal DQS mit einer - festen - Verzögerung t_{const} beuschlagt, die z.B. in etwa der Summe der durch den bzw.
15 die Receiver („Receiver-Delay“), den jeweiligen Datenpfad („data path delay“), und den bzw. die Off-Chip-Driver („OCD-Delay“) verursachten Signal-Verzögerungen entspricht.

Das von der zweiten Verzögerungseinrichtung 3 an einer
20 Leitung 7a ausgegebene - und gegenüber dem DQS-Signal um die o.g. feste Verzögerungszeit t_{const} verzögerte - Signal (FB-Signal bzw. „Feedback-Signal“) wird über eine - mit der Leitung 7a verbundene - Leitung 7b einem ersten Eingang der Phasenvergleichseinrichtung 4 zugeführt, sowie über eine -
25 ebenfalls mit der Leitung 7a verbundene - Leitung 21 (und wie im folgenden noch genauer erläutert wird) der Steuer-Vorrichtung 5 („Slow Mode Signal Generator“).

Wie aus Figur 1 weiter hervorgeht, wird das an der Leitung 10
30 anliegende CLK-Signal - über eine mit der Leitung 10 verbundene Leitung 8 - einem (weiteren) Eingang der Phasenvergleichseinrichtung 4 zugeführt, sowie über eine - ebenfalls mit der Leitung 10 verbundene - Leitung 22 (und wie

im folgenden noch genauer erläutert wird) der Steuer-Vorrichtung 5 („Slow Mode Signal Generator“).

In der Phasenvergleichseinrichtung 4 wird - entsprechend
5 ähnlich wie bei herkömmlichen Phasenvergleichseinrichtungen -
die Phasenlage des - an der Leitung 7b anliegenden, dem
ersten Eingang der Phasenvergleichseinrichtung 4 zugeführten
- FB-Signals mit derjenigen des - an der Leitung 8
anliegenden, dem weiteren Eingang der
10 Phasenvergleichseinrichtung 4 zugeführten - CLK-Signals
verglichen. Abhängig davon, ob die Phase des FB-Signal
derjenigen des CLK-Signals vorausseilt, oder hinterherläuft,
wird von der Phasenvergleichseinrichtung 4 - als Steuersignal
für die o.g. erste Verzögerungseinrichtung 2 - an einer mit
15 der ersten Verzögerungseinrichtung 2 verbundenen
Steuerleitung 9 ein Inkrement-Signal (INC-Signal), oder ein
Dekrement-Signal (DEC-Signal) ausgegeben (z.B. - als INC-
Signal - ein „logisch hohes“, und - als DEC-Signal - ein
„logisch niedriges“ Signal (oder umgekehrt)), die dazu
20 führen, dass die durch die erste
Signalverzögerungseinrichtung 2 bewirkte Verzögerung t_{var} des
CLK-Signals - bei einem INC-Signal - erhöht wird (vgl. z.B.
das in Figur 3 gezeigte INC-Signal, und das in den Zeiträumen
T1 bzw. T2 („fast mode“ bzw. „slow mode“) jeweils geringer
25 werdende Vorausseilen des FB-Signals gegenüber dem CLK-Signal
(Pfeile K, L, M)), bzw. - bei einem DEC-Signal - verringert
wird, sodaß schließlich das CLK- und das FB-Signal
synchronisiert, d.h. die Taktsignal-
Synchronisationseinrichtung 1 „eingerastet“ („locked“) ist
30 (d.h. - wie z.B. in Figur 3, ganz rechts dargestellt - das
CLK-Signal jeweils zur gleichen Zeit t_a eine positive Flanke
A hat, wie das FB-Signal (Flanke A') (bzw. das CLK-Signal

jeweils zur gleichen Zeit t_b eine negative Flanke B hat, wie das FB-Signal (Flanke B')) (Zeitraum T3, „locked mode“).

Solange die positive Flanke A' des FB-Signals der positiven
5 Flanke A des CLK-Signals vorausseilt (wie z.B. in Figur 3, links dargestellt), wird von der Phasenvergleichseinrichtung 4 - als Steuersignal für die o.g. erste Verzögerungseinrichtung 2 - an der Leitung 9 ein INC-Signal ausgegeben. Demgegenüber würde in dem Fall, dass die positive
10 Flanke A' des FB-Signals die positive Flanke A des CLK-Signals „überholt“, von der Phasenvergleichseinrichtung 4 - als Steuersignal für die o.g. erste Verzögerungseinrichtung 2 - an der Leitung 9 ein DEC-Signal ausgegeben.

15 Wird - in einer ersten Phase (Zeitraum T1, „fast mode“) - von der Phasenvergleichseinrichtung 4 ein INC-Signal (oder alternativ: ein DEC-Signal) ausgegeben, und liegt (wie z.B. in Figur 3, links dargestellt) die positive Flanke A' des FB-Signals außerhalb eines vorbestimmten, direkt vor der
20 positiven Flanke A des CLK-Signals liegenden, eine vorbestimmte, konstante Zeitdauer Δt lang andauernden Zeitfensters (in Figur 3 schraffiert dargestellt) - d.h. tritt die positive Flanke A' des FB-Signals z.B. zu einem Zeitpunkt t_1 auf, der länger als die o.g. Zeitdauer Δt vor
25 dem Zeitpunkt t_2 liegt, zu dem die positive Flanke A des CLK-Signals auftritt (d.h. gilt $t_2 - \Delta t > t_1$) -, wird die von der ersten Signalverzögerungseinrichtung 2 bewirkte Verzögerung t_{var} in relativ großen Zeitschritten, d.h. relativ stark (d.h. jeweils in Grobschritten, z.B. um jeweils eine
30 „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung) erhöht (bzw. verringert), bzw. die Phasengeschwindigkeit des FB-Signals gegenüber der Phasengeschwindigkeit des CLK-Signals -

relativ stark - vergrößert (bzw. verkleinert)
(„Grobeinstellung“).

Wird - in einer zweiten Phase (Zeitraum T2, „slow mode“) -
5 von der Phasenvergleichseinrichtung 4 ein INC-Signal (oder
ein DEC-Signal) ausgegeben, und liegt (wie z.B. in Figur 3
weiter rechts dargestellt) die positive Flanke A' des FB-
Signals innerhalb des o.g. vorbestimmten, direkt vor der
positiven Flanke A des CLK-Signals liegenden, die o.g.
10 vorbestimmte, konstante Zeitdauer Δt lang andauernden
Zeitfensters (in Figur 3 schraffiert dargestellt) - d.h.
tritt die positive Flanke A' des FB-Signals zu einem
Zeitpunkt t_1 auf, der kürzer als die o.g. Zeitdauer Δt vor
dem Zeitpunkt t_2 liegt, zu dem die positive Flanke A des CLK-
15 Signals auftritt (d.h. gilt $t_2 - \Delta t \leq t_1$) -, wird die von der
ersten Signalverzögerungseinrichtung 2 bewirkte Verzögerung
 t_{var} in relativ kleinen Zeitschritten, d.h. relativ schwach
(d.h. jeweils in Feinschritten, z.B. um jeweils eine „fine
unit delay“ t_f bzw. Fein-Einheit-Verzögerung) erhöht (bzw.
20 verringert), bzw. die Phasengeschwindigkeit des FB-Signals
gegenüber der Phasengeschwindigkeit des CLK-Signals - relativ
schwach - vergrößert (bzw. verkleinert) („Feineinstellung“).

Eine „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung
25 kann um einen bestimmten Faktor (z.B. zwischen drei und
zwanzig Mal, beispielsweise vier, acht oder sechzehn Mal)
größer sein, als eine „fine unit delay“ t_f bzw. Fein-Einheit-
Verzögerung (d.h. es kann z.B. gelten: $t_c = 4 t_f$, oder z.B. t_c
= $8 t_f$, oder z.B. $t_c = 16 t_f$, etc.).

30

Ob die von der ersten Signalverzögerungseinrichtung 2
bewirkte Verzögerung t_{var} in relativ kleinen Zeitschritten,
d.h. relativ schwach (d.h. jeweils in Feinschritten, z.B. um

jeweils die o.g. „fine unit delay“ t_f) erhöht (bzw. verringert) wird – d.h. das System sich im o.g. „slow mode“ befindet –, oder ob die von der ersten Signalverzögerungseinrichtung 2 bewirkte Verzögerung t_{var} in
5 relativ großen Zeitschritten, d.h. relativ stark (d.h. jeweils in Grobschritten, z.B. um jeweils die o.g. „coarse unit delay“ t_c) erhöht (bzw. verringert) wird – d.h. das System sich im o.g. „fast mode“ befindet –, wird – wie im folgenden noch genauer erläutert wird – von der o.g. Steuer-
10 Vorrichtung 5 ermittelt.

Wird von der o.g. Steuer-Vorrichtung 5 ermittelt, dass sich das System im „fast mode“ befindet (d.h. wird von der Steuer-Vorrichtung 5 ermittelt, dass die positive Flanke A' des FB-
15 Signals außerhalb des vorbestimmten, direkt vor der positiven Flanke A des CLK-Signals liegenden Zeitfensters liegt), wird von der Steuer-Vorrichtung 5 ein „logisch niedriges“ Steuersignal ausgegeben, und – über eine Leitung 29a – der ersten Signalverzögerungseinrichtung 2 zugeführt (die dann –
20 wie oben erläutert – die von ihr bewirkte Verzögerungszeit t_{var} in relativ großen Zeitschritten, d.h. relativ stark erhöht (bzw. verringert)).

Wird demgegenüber von der o.g. Steuer-Vorrichtung 5
25 ermittelt, dass sich das System im „slow mode“ befindet (d.h. wird von der Steuer-Vorrichtung 5 ermittelt, dass die positive Flanke A' des FB-Signals innerhalb des vorbestimmten, direkt vor der positiven Flanke A des CLK-Signals liegenden Zeitfensters liegt), wird von der Steuer-
30 Vorrichtung 5 ein „logisch hohes“ Steuersignal (SLOW-Signal) ausgegeben, und – über die o.g. Leitung 29a – der ersten Signalverzögerungseinrichtung 2 zugeführt (die dann – wie oben erläutert – die von ihr bewirkte Verzögerungszeit t_{var}

nur noch in relativ kleinen Zeitschritten, d.h. relativ schwach erhöht (bzw. verringert)).

Die Zeitdauer Δt des Zeitfensters kann z.B. ein Vielfaches
5 der o.g. „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung betragen, z.B. zwischen dem zwei- und sechzehnfachen der o.g. „coarse unit delay“ t_c (beim vorliegenden Ausführungsbeispiel insbesondere – und wie im folgenden noch genauer erläutert wird abhängig von der Frequenz des CLK-Signals – entweder dem
10 zweifachen, oder dem vierfachen der o.g. „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung).

In Figur 2 ist eine schematische Detaildarstellung der in der Taktsignal-Synchronisationseinrichtung 1 gemäß Figur 1 zur
15 Steuerung des Taktsignal-Synchronisations-Prozesses verwendeten Steuer-Vorrichtung 5 gezeigt.

Wie aus Figur 2 hervorgeht, weist die Steuer-Vorrichtung 5 ein erstes und ein zweites – entsprechend verschaltetes – RS-
20 Flip-Flop 12a, 12b auf, einen – weiteren – Flip-Flop 12c, eine Verzögerungseinrichtung 13, ein NAND-Gatter 14a, ein OR-Gatter 14b, ein Latch 15, sowie zwei Inverter 16a, 16b.

Das erste RS-Flip-Flop 12a weist zwei NAND-Gatter 17a, 17b auf (hier: zwei 2-NAND-Gatter 17a, 17b), und das zweite RS-
25 Flip-Flop 12b zwei NAND-Gatter 18a, 18b (hier: zwei 2-NAND-Gatter 18a, 18b).

Ein erster Eingang des ersten NAND-Gatters 17a des ersten RS-
30 Flip-Flops 12a ist – über eine Leitung 20a – mit der o.g. Leitung 21 verbunden, über die das o.g. FB-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

Der Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a ist - über eine Leitung 20b, und eine mit dieser verbundenen Leitung 20c - an einen ersten Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a rückgekoppelt
5 (so dass ein am Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a ausgegebenes Signal (A0-Signal) dem ersten Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a zugeführt wird).

10 Des weiteren ist ein zweiter Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a - über eine Leitung 20d - mit der o.g. Leitung 22 verbunden, über die das o.g. CLK-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

15 Der Ausgang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a ist - über eine Leitung 20e, und eine mit dieser verbundenen Leitung 20f - an einen zweiten Eingang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a rückgekoppelt
(so dass ein am Ausgang des zweiten NAND-Gatters 17b des
20 ersten RS-Flip-Flops 12a ausgegebenes Signal dem zweiten Eingang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a zugeführt wird).

Wie aus Figur 2 weiter hervorgeht, ist ein erster Eingang des
25 ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b - über eine Leitung 20g - mit der o.g. Leitung 22 verbunden, über die das o.g. CLK-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

30 Der Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b ist - über eine Leitung 20h, und eine mit dieser verbundenen Leitung 20i - an einen ersten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b rückgekoppelt

(so dass ein am Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b ausgegebenes Signal (A1-Signal) dem ersten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b zugeführt wird).

5

Des weiteren ist ein zweiter Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b - über eine Leitung 20k - mit einem Ausgang der o.g. Verzögerungseinrichtung 13 verbunden, deren Eingang - über eine Leitung 20l - mit der o.g. Leitung 21 verbunden ist (sodaß ein - gegenüber dem an der Leitung 21 anliegenden FB-Signal - durch die Verzögerungseinrichtung 13 entsprechend verzögertes Signal FBdel an den zweiten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b angelegt wird).

10

15

Der Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b ist - über eine Leitung 20m, und eine mit dieser verbundenen Leitung 20n - an einen zweiten Eingang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b rückgekoppelt (so dass ein am Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b ausgegebenes Signal dem zweiten Eingang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b zugeführt wird).

20

25

Wie aus Figur 2 weiter hervorgeht, wird das am Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b ausgegebene Signal zusätzlich auch - über die o.g. Leitung 20m, und eine mit dieser verbundenen Leitung 23a - einem zweiten Eingang des NAND-Gatters 14a zugeführt.

30

Auf entsprechend ähnliche Weise wird auch das am Ausgang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a ausgegebene Signal (außer - über die o.g. Leitungen 20e, 20f

- dem zweiten Eingang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a) zusätzlich auch - über die o.g. Leitung 20e, und eine mit dieser verbundenen Leitung 23b - einem ersten Eingang des NAND-Gatters 14a zugeführt.

5

Hierdurch wird erreicht, dass die am Ausgang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a, und die am Ausgang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b anliegende (u.a. durch das NAND-Gatter 14a

10 gebildete) Last im wesentlichen gleich groß ist, wie die am Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a, und die am Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b anliegende (u.a. durch das OR-Gatter 14b gebildete) Last.

15

Wie aus Figur 2 weiter hervorgeht, wird das am Ausgang des ersten NAND-Gatters 17a des ersten RS-Flip-Flops 12a ausgegebene Signal (A0-Signal) (außer - über die o.g.

20 Leitungen 20b, 20c - dem ersten Eingang des zweiten NAND-Gatters 17b des ersten RS-Flip-Flops 12a) zusätzlich auch - über die o.g. Leitung 20b, und eine mit dieser verbundenen Leitung 23d - einem ersten Eingang des OR-Gatters 14b zugeführt.

25 Auf entsprechend ähnliche Weise wird auch das am Ausgang des ersten NAND-Gatters 18a des zweiten RS-Flip-Flops 12b ausgegebene Signal (A1-Signal) (außer - über die o.g.

30 Leitungen 20h, 20i - dem ersten Eingang des zweiten NAND-Gatters 18b des zweiten RS-Flip-Flops 12b) zusätzlich auch - über die o.g. Leitung 20h, und eine mit dieser verbundenen Leitung 23c - einem zweiten Eingang des OR-Gatters 14b zugeführt.

Der Ausgang des OR-Gatters 14b ist über eine Leitung 24 mit dem o.g. (dritten) Flip-Flop 12c der Steuer-Vorrichtung 5 verbunden (und zwar mit einem dritten Eingang eines NAND-Gatters 19b (hier: eines 3-NAND-Gatters 19b) des Flip-Flops 12c).

Wie aus Figur 2 weiter hervorgeht, weist das Flip-Flop 12c - zusätzlich zum NAND-Gatter 19b - ein weiteres NAND-Gatter 19a auf (hier: ein 2-NAND-Gatter 19a).

10

Gemäß Figur 2 ist ein Eingang des o.g. (ersten) Inverters 16a - über eine Leitung 25 - mit der o.g. Leitung 22 verbunden, über die - wie bereits oben erwähnt - das CLK-Signal in die Steuer-Vorrichtung 5 eingegeben wird.

15

Ein Ausgang des (ersten) Inverters 16a ist - über eine Leitung 26a, und eine mit dieser verbundenen Leitung 26b - an einen Eingang des (zweiten) Inverters 16b angeschlossen.

20 Des weiteren ist ein Ausgang des (zweiten) Inverters 16b - über eine Leitung 27 - mit einem ersten Eingang des ersten NAND-Gatters 19a des dritten Flip-Flops 12c der Steuer-Vorrichtung 5 verbunden (sodaß ein am Ausgang des zweiten Inverters 16b ausgegebenes Signal (clk1th-Signal) dem ersten Eingang des ersten NAND-Gatters 19a des dritten Flip-Flops 12c zugeführt wird).

Der Ausgang des ersten NAND-Gatters 19a des dritten Flip-Flops 12c ist - über eine Leitung 28a - an einen ersten Eingang des zweiten NAND-Gatters 19b des dritten Flip-Flops 12c rückgekoppelt (so dass ein am Ausgang des ersten NAND-Gatters 19a des Flip-Flops 12c ausgegebenes Signal dem ersten

30

Eingang des zweiten NAND-Gatters 19b des Flip-Flops 12c zugeführt wird).

Auf entsprechend umgekehrte Weise ist der Ausgang des zweiten
5 NAND-Gatters 19b des Flip-Flops 12c - über eine Leitung 28b,
und eine mit dieser verbundenen Leitung 28c - an einen
zweiten Eingang des ersten NAND-Gatters 19a des Flip-Flops
12c rückgekoppelt (so dass ein am Ausgang des zweiten NAND-
Gatters 19b des Flip-Flops 12c ausgegebenes Signal (OUT-
10 Signal) dem zweiten Eingang des ersten NAND-Gatters 19b des
Flip-Flops 12c zugeführt wird).

Ein zweiter Eingang des zweiten NAND-Gatters 19b des Flip-
Flops 12c ist - über eine Leitung 28d - an eine - mit einem
15 ersten (inversen) Ausgang des Latches 15 verbundene - Leitung
29b angeschlossen.

Ein (Daten-)Eingang des Latches 15 ist über eine Leitung 28e,
und die mit dieser verbundene Leitung 28b an den Ausgang des
20 zweiten NAND-Gatters 19b des Flip-Flops 12c angeschlossen
(sodaß das am Ausgang des zweiten NAND-Gatters 19b des Flip-
Flops 12c ausgegebene OUT-Signal dem o.g. (Daten-)Eingang des
Latches 15 zugeführt wird).

25 Wie aus Figur 2 weiter hervorgeht, ist der Ausgang des
(ersten) Inverters 16a - über die o.g. Leitung 26a, und eine
mit dieser verbundenen Leitung 28f - an den einen (inversen)
(Takt-) Eingang des Latches 15 angeschlossen.

30 Der (zweite, nicht-inverse) Ausgang des Latches 15 ist an die
- oben bereits erwähnte - Leitung 29a angeschlossen, und der
(erste, inverse) Ausgang des Latches 15 an die o.g. Leitung
29b (so dass das am zweiten, nicht-inversen Ausgang des

Latches 15 ausgegebene (Steuer-)Signal (SLOW-Signal) - wie aus Figur 1 hervorgeht - über die o.g. Leitung 29a der ersten Verzögerungseinrichtung 2 der Taktsignal-

Synchronisationseinrichtung 1 zugeführt wird, und - wie aus
5 Figur 2 hervorgeht, und wie bereits oben erläutert wurde - das zum SLOW-Signal inverse Signal /SLOW - über die Leitung 28d - dem zweiten Eingang des zweiten NAND-Gatters 19b des dritten Flip-Flops 12c).

10 In Fig. 4 ist eine schematische Detaildarstellung der in der Steuer-Vorrichtung 5 gemäß Figur 2 verwendeten Verzögerungseinrichtung 13 gezeigt. Diese weist z.B. - in einem ersten Signalpfad P liegend - vier Verzögerungs-
Elemente 13a, 13b, 13c, 13d auf, und - in einem zweiten
15 Signalpfad Q liegend - zwei Verzögerungs-Elemente 13e, 13f.

Jedes der Verzögerungs-Elemente 13a, 13b, 13c, 13d, 13e, 13f bewirkt eine Verzögerung des jeweils eingegebenen Signals um die o.g. - in Bezug auf die o.g. erste

20 Verzögerungseinrichtung 2 bereits erläuterte - „coarse unit delay“ t_c bzw. Grob-Einheit-Verzögerung (wobei in der in Figur 1 gezeigten ersten Verzögerungseinrichtung 2 der Taktsignal-Synchronisationseinrichtung 1 entsprechend identische Verzögerungs-Elemente verwendet werden, wie in der
25 in Figur 2 und 4 gezeigten Verzögerungseinrichtung 13 der Steuer-Vorrichtung 5).

Je nachdem, ob die (z.B. von einer entsprechenden Frequenz-Ermittlungs-Einrichtung ermittelte) Frequenz des CLK-Signals
30 über oder unter einem vorbestimmten Schwellwert S liegt, werden entsprechende in der Verzögerungseinrichtung 13 vorgesehene Schalter 33a, 33b entsprechend - automatisch (und z.B. unter Steuerung durch die o.g. Frequenz-Ermittlungs-

Einrichtung) - geöffnet, oder geschlossen (sodaß - bei einer relativ niedrigen Frequenz des CLK-Signals - das in die Verzögerungseinrichtung 13 eingegebene Signal z.B. durch die vier Verzögerungs-Elemente 13a, 13b, 13c, 13d (d.h. relativ stark) verzögert wird (Signalpfad P (bzw. Schalter 33a) geschlossen, und Signalpfad Q (bzw. Schalter 33b) geöffnet)), und - bei einer relativ hohen Frequenz des CLK-Signals - das in die Verzögerungseinrichtung 13 eingegebene Signal lediglich durch die zwei Verzögerungs-Elemente 13e, 13f (d.h. relativ schwach) verzögert wird (Signalpfad P (bzw. Schalter 33a) geöffnet, und Signalpfad Q (bzw. Schalter 33b) geschlossen)).

Der o.g. Schwellwert S für die Frequenz kann z.B. zwischen 100 MHz und 1000 MHz liegen, z.B. bei 250 MHz.

Mit anderen Worten kann also durch die Schalter 33a, 33b die „Weite“ bzw. die o.g. Zeitdauer Δt des in Figur 3 gezeigten, jeweils unmittelbar vor der positiven Flanke A des CLK-Signals liegenden Zeitfensters (in Figur 3 schraffiert dargestellt) - frequenzabhängig - geändert werden.

Sind - wie in Figur 3 gezeigt z.B. zu einem Anfangszeitpunkt t_0 - sowohl das CLK- als auch das FB-Signal in einem „logisch niedrigen“ Zustand, wird - wie sich aus Figur 2 ergibt - vom ersten RS-Flip-Flop 12a (bzw. von dessen erstem NAND-Gatter 17a) an der o.g. Leitung 23d ein „logisch hohes“ Signal („A0-Signal“) ausgegeben.

Auf entsprechend ähnliche Weise wird dann - wie sich ebenfalls aus Figur 2 ergibt - auch vom zweiten RS-Flip-Flop 12b (bzw. von dessen erstem NAND-Gatter 18a) an der entsprechenden Leitung 23c ein „logisch hohes“ Signal („A1-

Signal“) ausgegeben – das vom OR-Gatter 14b an der Leitung 24 ausgegebene Signal („D0“-Signal) ist dann – ebenfalls – „logisch hoch“.

5 Das vom OR-Gatter 14b an der Leitung 24 ausgegebene Signal („D0“-Signal) wird nur dann „logisch niedrig“, wenn sowohl das vom ersten RS-Flip-Flop 12a an der o.g. Leitung 23d ausgegebene A0-Signal, als auch das vom zweiten RS-Flip-Flop 12b an der entsprechenden Leitung 23c ausgegebene A1-Signal
10 „logisch niedrig“ ist. Mit einem „logisch niedrigen“ D0-Signal wird angezeigt, dass in den „slow mode“ gewechselt werden soll.

Dies ist nur dann der Fall (d.h. das D0-Signal wird nur dann
15 „logisch niedrig“), wenn – wie im folgenden noch erläutert wird – die positive Flanke A' des FB-Signals – wie z.B. in Figur 3, rechts dargestellt – innerhalb des o.g., direkt vor der positiven Flanke A des CLK-Signals liegenden, die o.g. Zeitdauer Δt lang andauernden Zeitfensters liegt (in Figur 3
20 schraffiert dargestellt) – d.h. die positive Flanke A' des FB-Signals z.B. zu einem Zeitpunkt t1 auftritt, der kürzer als die o.g. Zeitdauer Δt vor dem Zeitpunkt t2 liegt, zu dem die positive Flanke A des CLK-Signals auftritt.

25 Ansonsten (d.h. wenn die positive Flanke A' des FB-Signals – wie z.B. in Figur 3, links dargestellt – außerhalb des o.g. Zeitfensters liegt) wechselt – nach einer positiven Flanke A' des FB-Signals, und einer darauffolgenden positiven Flanke A des CLK-Signals – zwar das vom ersten RS-Flip-Flop 12a an der
30 o.g. Leitung 23d ausgegebene Signal (A0-Signal) seinen Zustand auf „logisch niedrig“.

Allerdings bleibt - nach einer positiven Flanke A' des FB-Signals, und einer darauffolgenden positiven Flanke A des CLK-Signals - das vom zweiten RS-Flip-Flop 12b an der o.g. Leitung 23c ausgegebene Signal (A1-Signal) in einem Zustand
5 „logisch hoch“ (da - trotz der durch die Verzögerungseinrichtung 13 bewirkten Verzögerung des FB-Signals um die o.g. Zeitdauer Δt - beim zweiten RS-Flip-Flop 12b zunächst am zweiten Eingang des zweiten NAND-Gatters 18b, und dann erst am ersten Eingang des ersten NAND-Gatters 18a
10 (und nicht etwa in umgekehrter Reihenfolge) ein „logisch hohes“ Signal anliegt (so dass durch das - zunächst am Ausgang des zweiten NAND-Gatters 18b ausgegebene, und dem zweiten Eingang des ersten NAND-Gatters 18a zugeführte - „logisch niedrige“ Signal das erste NAND-Gatter 18a
15 „blockiert“ wird (d.h. selbst dann noch an der Leitung 23c ein „logisch hohes“ Signal ausgibt, wenn das CLK-Signal seinen Zustand dann auf „logisch hoch“ wechselt))).

Liegt demgegenüber die positive Flanke A' des FB-Signals -
20 wie z.B. in Figur 3, rechts dargestellt - innerhalb des o.g., direkt vor der positiven Flanke A des CLK-Signals liegenden, die o.g. Zeitdauer Δt lang andauernden Zeitfensters, wechselt - nach einer positiven Flanke A' des FB-Signals, und einer darauffolgenden positiven Flanke A des CLK-Signals -
25 das vom zweiten RS-Flip-Flop 12b an der o.g. Leitung 23c ausgegebene Signal (A1-Signal) - entsprechend wie das vom ersten RS-Flip-Flop 12a an der Leitung 23d ausgegebene Signal A0 - seinen Zustand auf „logisch niedrig“ (da - durch die durch die Verzögerungseinrichtung 13 bewirkte Verzögerung des
30 FB-Signals um die o.g. Zeitdauer Δt (und den relativ kurzen zeitlichen Abstand zwischen den Flanken A' und A) - beim zweiten RS-Flip-Flop 12b dann zunächst am ersten Eingang des ersten NAND-Gatters 18a, und dann erst am zweiten Eingang des

zweiten NAND-Gatters 18b ein „logisch hohes“ Signal anliegt (so dass durch das am ersten Eingang des ersten NAND-Gatters 18a dann anliegende „logisch hohe Signal“, und das am zweiten Eingang des ersten NAND-Gatters 18a anliegende – ebenfalls
5 „logisch hohe“ – Signal am Ausgang des ersten NAND-Gatters 18a (und somit an der o.g. Leitung 23c) dann ein „logisch niedriges“ A1-Signal ausgegeben wird)).

Durch das o.g. – auf die RS-Flip-Flops 12a, 12b folgende –
10 (dritte) Flip-Flop 12c, bzw. das Latch 15 wird das von dem OR-Gatter 14b ausgegebene, dann „logisch niedrige“ D0-Signal (Slow-Mode-Ermittlungssignal) mit dem System-Takt (CLK-Signal) synchronisiert.

15 Nur dann, wenn das von dem OR-Gatter 14b an der Leitung 24 ausgegebene, in das NAND-Gatter 19b des dritten Flip-Flops 12c eingegebene Signal („D0“-Signal) „logisch niedrig“ wird (d.h., wenn in den „slow mode“ gewechselt werden soll), kann – bei entsprechenden Takt-Flanken des CLK- bzw. (genauer) des
20 hieraus gewonnenen clk1th-Signals – das vom NAND-Gatter 19b an den Leitungen 28b, 28e ausgegebene OUT-Signal „logisch hoch“ werden, und vom Latch 15 als „logisch hohes“ Steuersignal SLOW dann an die Leitung 29a weitergeleitet werden.

25 Wird das an der Leitung 29a anliegende SLOW-Signal „logisch hoch“ – und demzufolge das an der Leitung 29b anliegende, zum SLOW-Signal inverse Signal /SLOW logisch niedrig –, wird – über die Leitung 28d – dieses „logisch niedrige“ Signal dann
30 dem (zweiten) Eingang des NAND-Gatters 19b des Flip-Flops 12c zugeführt, und dadurch sichergestellt, dass das NAND-Gatter 19b – unabhängig von einer ggf. später eintretenden Zustandsänderung des am dritten Eingang des NAND-Gatters 19b

anliegenden D0-Signals - im vorliegenden Zustand festgehalten wird, so dass das System - sobald einmal detektiert wurde, dass die positive Flanke A' des FB-Signals innerhalb des o.g., direkt vor der positiven Flanke A des CLK-Signals
5 liegenden, die o.g. Zeitdauer Δt lang andauernden Zeitfensters liegt - (bis zu einem Reset) im „slow mode“-Zustand verbleibt.

Vorteilhaft sind die o.g. Verzögerungseinrichtungen 2, 3 der
10 Taktsignal-Synchronisationseinrichtung 1 und/oder die Steuer-Vorrichtung 5 - z.B. durch entsprechende Wahl der o.g. durch die Einrichtungen 2, 3 bzw. die in der Vorrichtung 5 vorgesehene Einrichtung 13 bewirkten Verzögerungen - so eingerichtet und ausgestaltet, dass verhindert wird, dass die
15 positive Flanke A' des FB-Signals - z.B. ausgehend von dem in Figur 3, links gezeigten Zustand - die positive Flanke A des CLK-Signals überholen, oder alternativ: zu weit überholen kann.

20 Dadurch wird sichergestellt, dass eine schnelle und sichere Synchronisation des CLK- und FB-Signals erreicht, d.h. die Taktsignal-Synchronisationseinrichtung 1 schnell und sicher „eingerastet“ bzw. in den „locked mode“ gebracht werden kann.

Bezugszeichenliste

	1	Taktsignal-Synchronisationseinrichtung
	2	erste Verzögerungseinrichtung
5	3	zweite Verzögerungseinrichtung
	4	Phasenvergleichseinrichtung
	5	Steuer-Vorrichtung
	6a	Leitung
	6b	Leitung
10	6c	Leitung
	7a	Leitung
	7b	Leitung
	8	Leitung
	9	Leitung
15	10	Leitung
	11	Leitung
	12a	RS-Flip-Flop
	12b	RS-Flip-Flop
	12c	Flip-Flop
20	13	Verzögerungseinrichtung
	13a	Verzögerungs-Element
	13b	Verzögerungs-Element
	13c	Verzögerungs-Element
	13d	Verzögerungs-Element
25	13e	Verzögerungs-Element
	13f	Verzögerungs-Element
	14a	NAND-Gatter
	14b	OR-Gatter
	15	Latch
30	16a	Inverter
	16a	Inverter
	17a	NAND-Gatter
	17b	NAND-Gatter

	18a	NAND-Gatter
	18b	NAND-Gatter
	19a	NAND-Gatter
	19b	NAND-Gatter
5	20a	Leitung
	20b	Leitung
	20c	Leitung
	20d	Leitung
	20e	Leitung
10	20f	Leitung
	20g	Leitung
	20h	Leitung
	20i	Leitung
	20k	Leitung
15	20l	Leitung
	20m	Leitung
	20n	Leitung
	21	Leitung
	22	Leitung
20	23a	Leitung
	23b	Leitung
	23c	Leitung
	23d	Leitung
	24	Leitung
25	25	Leitung
	26a	Leitung
	26b	Leitung
	27	Leitung
	28a	Leitung
30	28b	Leitung
	28c	Leitung
	28d	Leitung
	28e	Leitung

28f Leitung
29a Leitung
29b Leitung
33a Schalter
5 33b Schalter

Patentansprüche

1. Vorrichtung (1) zur Verwendung bei der Synchronisation von Taktsignalen (CLK), mit einer Verzögerungseinrichtung (2) mit variabel steuerbarer Verzögerungszeit (t_{var}), in die ein Taktsignal (CLK) oder ein hieraus gewonnenes Signal eingegeben, mit der variabel steuerbaren Verzögerungszeit (t_{var}) beaufschlagt, und als verzögertes Taktsignal (DQS) ausgegeben wird,

dadurch gekennzeichnet, daß eine Einrichtung (5) vorgesehen ist zum Ermitteln, ob eine Taktflanke (A') des von der Verzögerungseinrichtung (2) ausgegebenen verzögerten Taktsignals (DQS), oder eines hieraus gewonnenen Signals (FB) innerhalb eines vorbestimmten Zeitfensters vor einer entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt.

2. Vorrichtung (1) nach Anspruch 1, bei welcher dann, wenn ermittelt wird, dass die Taktflanke (A') des von der Verzögerungseinrichtung (2) ausgegebenen verzögerten Taktsignals (DQS), oder des hieraus gewonnenen Signals (FB) innerhalb des vorbestimmten Zeitfensters vor der entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt, von der Einrichtung (5) ein Ermittlungs-Signal (SLOW) an die Verzögerungseinrichtung (2) gesendet wird.

3. Vorrichtung (1) nach Anspruch 2, bei welcher die Verzögerungseinrichtung (2) in Reaktion auf das Ermittlungs-Signal (SLOW) von einem ersten in einen zweiten Modus wechselt.

4. Vorrichtung (1) nach einem der vorhergehenden Ansprüche, bei welcher dann, wenn von der Einrichtung (5) ermittelt wird, dass die Taktflanke (A') des von der Verzögerungseinrichtung (2) ausgegebenen verzögerten Taktsignals (DQS) oder des hieraus gewonnenen Signals (FB) innerhalb des vorbestimmten Zeitfensters vor der entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt, die von der Verzögerungseinrichtung (2) bewirkte Signal-Verzögerungszeit (t_{var}) in kleineren Zeitschritten verringert oder erhöht wird, als vor der Ermittlung.
5. Vorrichtung (1) nach einem der vorhergehenden Ansprüche, bei welcher die Zeitdauer (Δt) des Zeitfensters abhängig von der Frequenz des Taktsignals (CLK) gewählt wird, insbesondere - zu diesem Zweck - eine in der Ermittlungs-Einrichtung (5) vorgesehene Verzögerungs-Einrichtung (13) entsprechend automatisch umgeschaltet wird.
6. Vorrichtung (1) nach einem der Ansprüche 3 bis 5, welche eine Einrichtung (29b, 19b) aufweist zum Halten der Verzögerungseinrichtung (2) im zweiten Modus, nachdem ermittelt wurde, dass die Taktflanke (A') des von der Verzögerungseinrichtung (2) ausgegebenen verzögerten Taktsignals (DQS) oder des hieraus gewonnenen Signals (FB) innerhalb des vorbestimmten Zeitfensters vor der entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt.
7. Vorrichtung (1) zur Verwendung bei der Synchronisation von Taktsignalen (CLK), mit einer Verzögerungseinrichtung (2) mit variabel steuerbarer, in variabel steuerbaren Zeitschritten verringerbarer oder erhöhbarer Verzögerungszeit

(t_{var}), in die ein Taktsignal (CLK) oder ein hieraus gewonnenes Signal eingegeben, mit der variabel steuerbaren, in variabel steuerbaren Zeitschritten verringerbaren oder erhöhbaren Verzögerungszeit (t_{var}) beaufschlagt, und als
5 verzögertes Taktsignal (DQS) ausgegeben wird,
wobei zusätzlich eine Einrichtung (5) vorgesehen ist zum Ermitteln, ob eine Taktflanke (A') des von der Verzögerungseinrichtung (2) ausgegebenen verzögerten Taktsignals (DQS), oder eines hieraus gewonnenen Signals (FB)
10 innerhalb eines vorbestimmten Zeitfensters vor einer entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt,
und wobei die Vorrichtung (1) so ausgestaltet und eingerichtet ist, dass dann, wenn von der Einrichtung (5) ermittelt wird, dass die Taktflanke (A') des von der Verzögerungseinrichtung (2) ausgegebenen verzögerten Taktsignals (DQS) oder des hieraus gewonnenen Signals (FB)
15 innerhalb des vorbestimmten Zeitfensters vor der entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des hieraus gewonnenen Signals liegt, die von der Verzögerungseinrichtung (2) bewirkte Signal-Verzögerungszeit (t_{var}) in kleineren Zeitschritten, und damit langsamer verringert oder erhöht wird, als vor der Ermittlung,
20 wobei die Zeitdauer (Δt) des Zeitfensters abhängig von der von einer Frequenz-Ermittlungs-Einrichtung ermittelten Frequenz des Taktsignals (CLK) gewählt ist.

8. Taktsignal-Synchronisationsverfahren, welches den Schritt aufweist:

- 30 - Beaufschlagen eines Taktsignals (CLK) oder eines hieraus gewonnenen Signals mit einer variabel steuerbaren Verzögerungszeit (t_{var}), so dass ein verzögertes Taktsignal (DQS) gewonnen wird,

d a d u r c h g e k e n n z e i c h n e t, daß das
Verfahren zusätzlich den Schritt aufweist:

- Ermitteln, ob eine Taktflanke (A') des verzögerten
Taktsignals (DQS) oder eines hieraus gewonnenen Signals (FB)
5 innerhalb eines vorbestimmten Zeitfensters vor einer
entsprechenden Taktflanke (A) des Taktsignals (CLK) oder des
hieraus gewonnenen Signals liegt.

1/4

FIG 1

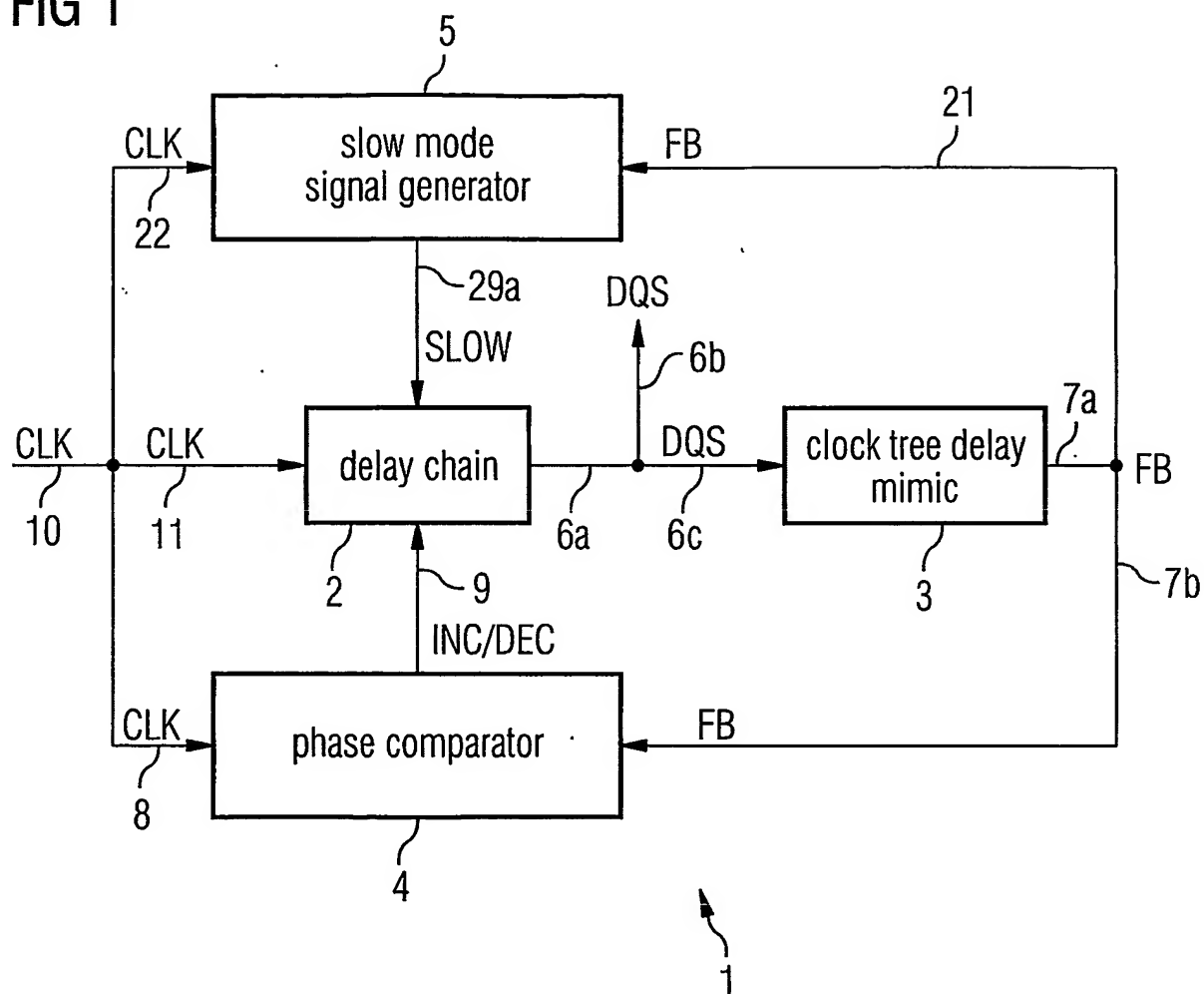
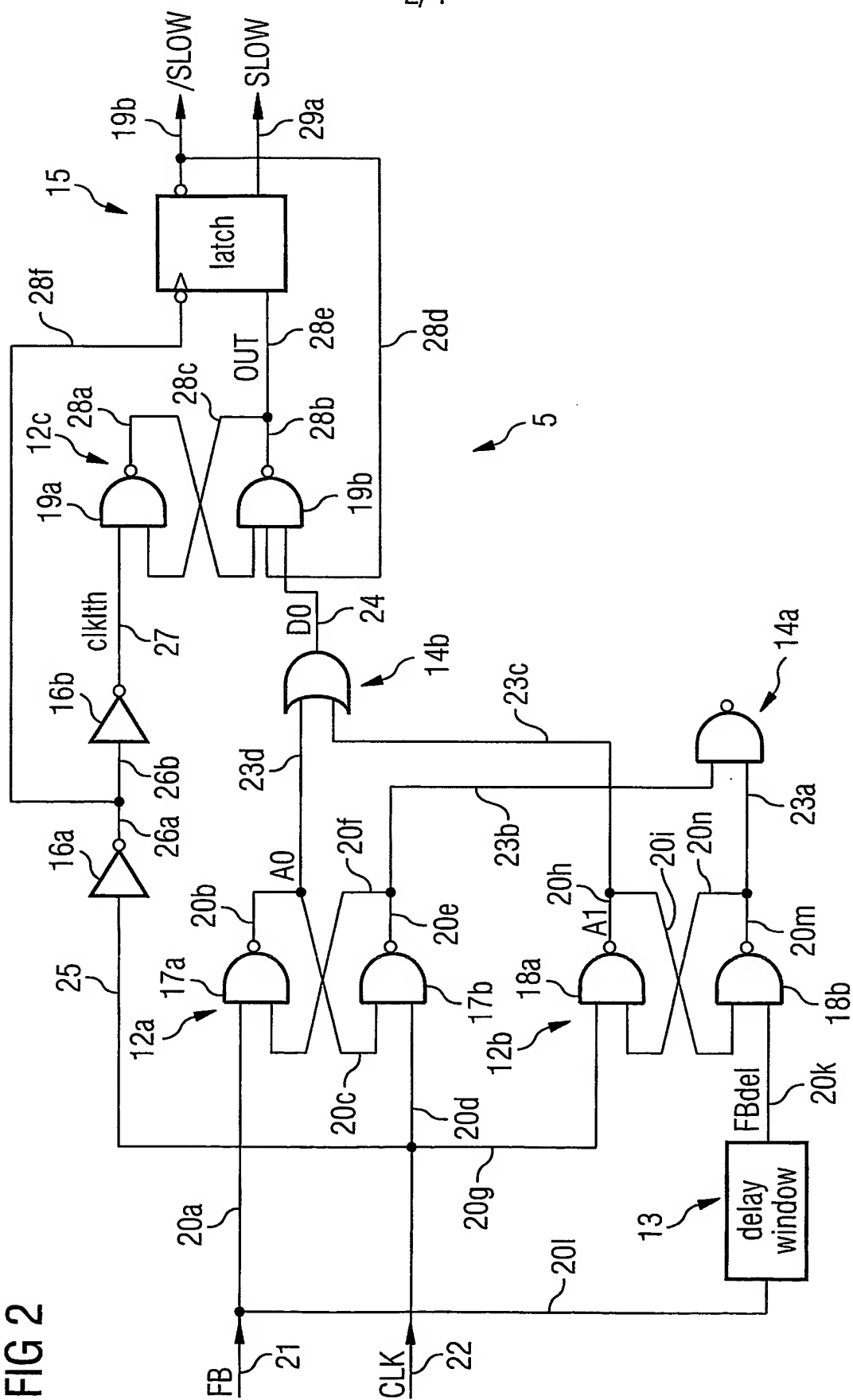
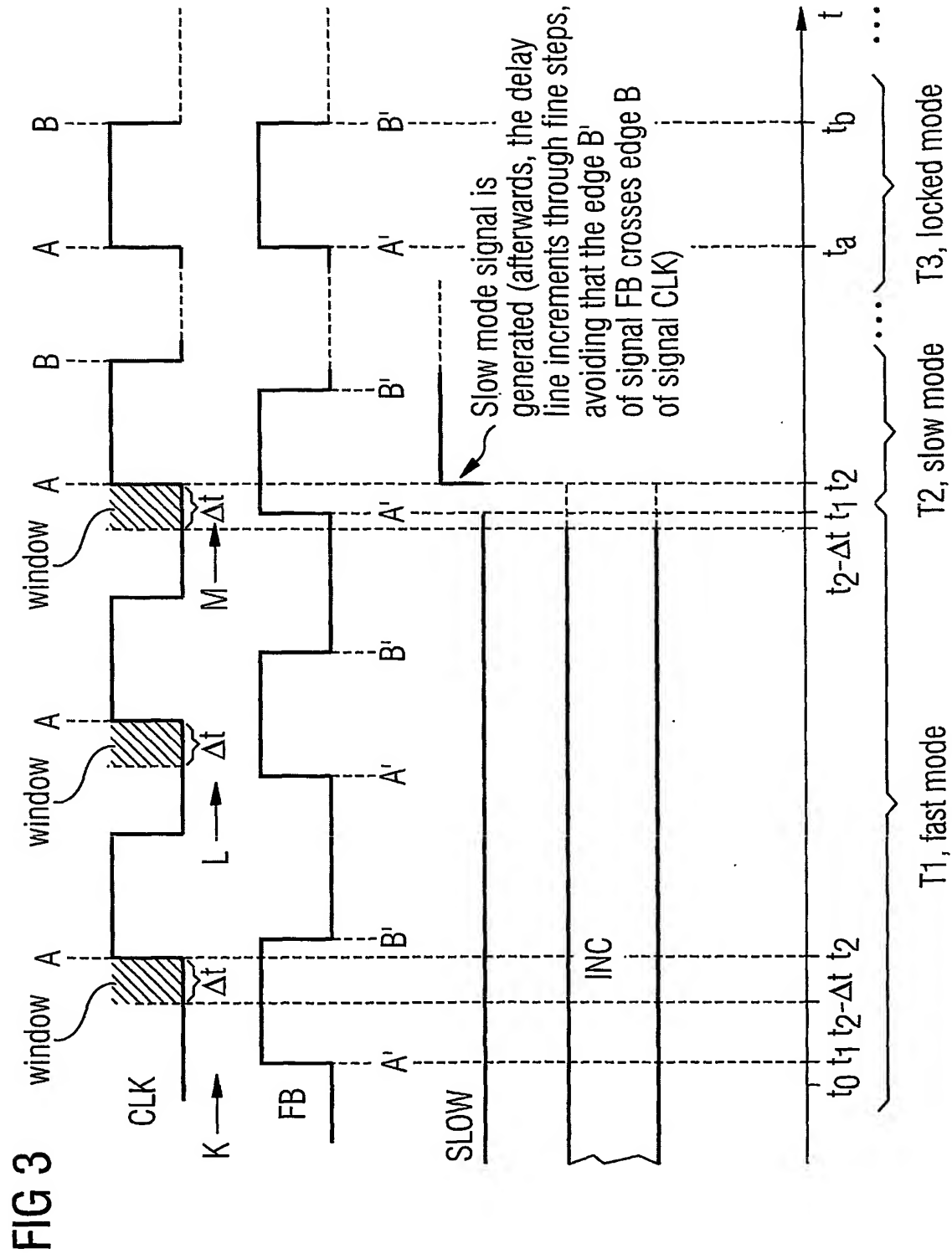


FIG 2



3/4



4/4

FIG 4

